

(19) 日本国特許庁 ( J P )

(12) 特 許 公 報 ( B 2 )

(11) 特許出願公告番号

特公平7-122905

(24) (44) 公告日 平成7年(1995)12月25日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 11/40		0590-5L	G 0 6 F 15/ 72	4 0 0

発明の数1 (全 14 頁)

(21) 出願番号 特願昭62-266856

(22) 出願日 昭和62年(1987)10月21日

(65) 公開番号 特開平1-108689

(43) 公開日 平成1年(1989)4月25日

(71) 出願人 999999999  
ダイキン工業株式会社  
大阪府大阪市北区中崎西2丁目4番12号  
梅田センタービル

(72) 発明者 上田 智章  
滋賀県草津市岡本町字大谷1000番地の2  
ダイキン工業株式会社滋賀製作所内

(74) 代理人 弁理士 津川 友士

審査官 高瀬 勤

(56) 参考文献 特開 昭59-188761 ( J P , A )

(54) 【発明の名称】 多角形ぬりつぶし制御装置

1

【特許請求の範囲】

【請求項1】直線補間演算器を用いて多角形をスキャンラインに沿う線分に分解し、各線分毎にぬりつぶし画素データを生成して画像メモリに書込むための制御装置において、画像メモリを複数のブロックメモリで構成するとともに、スキャンラインに沿う互に異なる線分に対応するぬりつぶし画素データを生成する複数の直線補間演算器を設け、直線補間演算器から出力される座標データに対応して該当するブロックメモリへの画素データの書込みを行なわせる制御信号を生成するタイミング制御手段、および分解された線分のスキャンラインと直交する方向の座標データに対応して該当する直線補間演算器を動作させる制御信号を生成する直線補間演算器制御手段を設けたことを特徴とする多角形ぬりつぶし制御装置。

【請求項2】直線補間演算器により生成される画素デー

2

タのブロックメモリへの書込みが、ダブルバッファメモリを介して行なわれる上記特許請求の範囲第1項記載の多角形ぬりつぶし制御装置。

【請求項3】1個の直線補間演算器に対応させて複数個のブロックメモリを割当てているとともに、タイミング制御手段が、1個の直線補間演算器により生成される画素データを順次異なるブロックメモリに書込む状態を選択するものである上記特許請求の範囲第1項、または第2項に記載の多角形ぬりつぶし制御装置。

10

【請求項4】タイミング制御手段が、スキャン方向の座標データについては、ダブルバッファメモリの容量に対応する下位所定桁が変化するタイミングで制御信号を生成し、スキャン方向と直角な方向の座標データについては、最も最下位桁が変化するタイミングで制御信号を生成するものである上記特許請求の範囲第2項、または第

3 項に記載の多角形ぬりつぶし制御装置。

【請求項5】画像メモリがデュアルポートダイナミックランダムアクセスメモリである上記特許請求の範囲第1項から第4項の何れかに記載の画像メモリ書込み制御装置。

【発明の詳細な説明】

<産業上の利用分野>

この発明は多角形ぬりつぶし制御装置に関し、さらに詳細に言えば、直線補間演算器（以下、DDAと略称する）の演算動作を停止させることなく、メモリに対する多角形ぬりつぶしデータの書込みを行なわせることができる新規な多角形ぬりつぶし制御装置を提供することを目的としている。

<従来の技術、および発明が解決しようとする問題点>  
従来からグラフィック・ディスプレイ装置においては、画像メモリ容量を大きく必要があり、しかも全体として安価にする必要があるため、スタティックランダムアクセスメモリ（以下、SRAMと略称する）は殆ど使用されておらず、ダイナミックランダムアクセスメモリ（以下、DRAMと略称する）が一般的に使用されている。

しかし、DRAMを画像メモリとして使用した場合には、画素データを生成するDDAの処理所要時間が一般的に1画素当たり40～60nsec程度（TTLロジックによりDDAを構成した場合の達成可能な上限速度）であるのに、DRAMに対するアクセス所要時間が230～400nsec程度であるから、多角形ぬりつぶしに必要な全画素データを画像メモリに書込む間において、DDAの演算動作を頻りに停止しななければならないことになり、画像メモリに対するぬりつぶし画素データの書込み所要時間が長くなって、結果的にぬりつぶし処理が施された画像の表示に必要な時間が著しく長くなってしまふという問題がある。

このような問題を解消させるために、ラスタスキャン型グラフィック・ディスプレイ装置において、第8図Aに示すように、上位プロセッサ（図示せず）から供給される多角形の頂点データを入力として、各座標値毎に除算器（171）、および加算器（172）により、互に対向する2辺の直線補間演算を行ない、直線補間演算結果に基づいて得られた線分の端点座標値を、ぬりつぶし画素データ生成のためのDDA（173）に供給している。そして、第8図Bに示すように、DDA（173）から出力されるぬりつぶし画素データを、スキャンラインに沿って所定数だけ一時的に保持するバッファメモリ（174a）（174b）を設けるとともに、各バッファメモリから出力される所定数の画素データが書込まれる画像メモリ（以下、フレームメモリと称する）（175）を設け、さらに、上記バッファメモリ（174a）（174b）の切替えを制御するとともに、フレームメモリ（175）に対してメモリタイミング信号を供給するタイミング制御回路（176）を設けた構成のもの（以下、ダブルバッファ方式と略称する）が提供されている。尚、（177）は汎用プロセッサであり、

（178）はメモリであり、（179）はI/Oインターフェースである。

上記ダブルバッファ方式について詳細に説明すると、各バッファメモリはそれぞれ1スキャンライン方向に8画素分のデータを保持できるようにしたものが一般的であるから、この構成に基いて説明する。

このダブルバッファ方式においては、一方のバッファメモリに対してDDA（173）から出力されるぬりつぶし画素データを供給している間において、他方のバッファメモリに保持されていた最大8画素分のデータを一括してフレームメモリ（175）に供給するようにしている。したがって、DDA（173）により8画素分のデータを生成するための所要時間が約400nsecとなり、フレームメモリ（175）に対するデータ書込み所要時間も最大で約400nsecとなり、スキャンライン方向のぬりつぶし画素データの生成速度とフレームメモリに対する書込み速度とが1画素当りに換算してほぼ等しくなるので、DDA（173）を殆ど停止させることなく、多角形のぬりつぶしを行なうことができる。

しかし、DDA（173）を殆ど停止させることなく画素データを生成させた場合であっても、多角形をぬりつぶすためには、著しく多数の画素データの生成を行なうことが必要になるので、リアルタイム性を重視するグラフィック・ディスプレイ装置においては、不十分な多角形ぬりつぶし速度しか達成することができないという問題がある。

さらに詳細に説明すると、第9図に示すように、任意方向に傾斜した20×20画素の多角形について考えた場合、DDA（173）を殆ど停止させることなく画素データを生成させ、フレームメモリ（175）に書込むことができれば、ぬりつぶしを伴わないワイヤフレーム表示を行なう場合には、80画素分のデータを生成してフレームメモリ（175）に書込むだけでよいのに対して、ぬりつぶしを伴う表示を行なう場合には、400画素分のデータを生成してフレームメモリに書込まなければならない、単純計算を行なえば、必要な時間が5倍になってしまうことになるのである。そして、所要時間の差は、描画する多角形の大きさの2乗に比例して変化することになる。したがって、リアルタイム性を重視する要請が強い場合には、表示図形の不自然さを我慢して、ワイヤフレーム表示を行なうようにしている。

このような問題点を解消し、ぬりつぶし多角形の表示を、リアルタイム性を確保した状態で行なわせようとするれば、DDA（173）による画素データ生成速度を向上させればよいのであるが、TTLロジックにより構成されたDDA（173）の上限速度は、上述のように40～60nsec程度であるから、DDA（173）を全く停止させることなくぬりつぶしを行なわせた場合であっても、第9図に示す多角形に換算して毎秒62500～41600ポリゴンの描画速度しか達成することができず、実際には、画素データ入出力等の

オーバーヘッドを考慮すれば、毎秒50000～33000ポリゴン程度の描画速度しか達成することができず、3次元隠面処理、シェーディング処理等を行なう場合を考えれば、さらに低い描画速度しか達成することができないのである。

また、ECLロジックにより構成されたDDAを使用すれば、画素データ生成の上限速度を向上させることができるのであるが、ECLロジックでDDAを構成すれば、構成が大型化するのみならず、消費電力が著しく増加する等の不都合が発生し、さらには、ノイズの影響を受け易くなるという不都合が発生するので、一般的には、採用されていない。

#### <発明の目的>

この発明は上記の問題点を鑑みてなされたものであり、DDAによる画素データ生成速度よりも早い換算速度でスキャンラインに沿う線分のぬりつぶし画素データを生成し、画像メモリに書込むことができる多角形ぬりつぶし制御装置を提供することを目的としている。

#### <問題点を解決するための手段>

上記の目的を達成するための、この発明の多角形ぬりつぶし制御装置は、画像メモリを複数のブロックメモリで構成するとともに、スキャンラインに沿う互に異なる線分に対応するぬりつぶし画素データを生成する複数のDDAを設け、DDAから出力される座標データに対応して該当するブロックメモリへの画素データの書込みを行なわせる制御信号を生成するタイミング制御手段、および分解された線分のスキャンラインと直交する方向の座標データに対応して該当するDDAを動作させる制御信号を生成するDDA制御手段を設けている。

但し、上記DDAにより生成される画素データのブロックメモリへの書込みが、ダブルバッファメモリを介して行なわれるものであることが好ましい。

また、上記1個のDDAに対応させて複数個のブロックメモリを割当てているとともに、タイミング制御手段が、1個のDDAにより生成される画素データを順次異なるブロックメモリに書込む状態を選択するものであることが一層好ましい。

さらに、上記タイミング制御手段としては、スキャン方向の座標データについては、ダブルバッファメモリの容量に対応する下位所定桁が変化するタイミングで制御信号を生成し、スキャン方向と直角な方向の座標データについては、最も最下位桁が変化するタイミングで制御信号を生成するものであることが好ましい。

さらには、画像メモリとしては、デュアルポートダイナミックランダムアクセスメモリであることが好ましい。

#### <作用>

以上の構成の多角形ぬりつぶし制御装置であれば、DDAを用いて多角形をスキャンラインに沿う線分に分解し、各線分毎にぬりつぶし画素データを生成して画像メモリに書込む場合において、画像メモリを複数のブロック

メモリで構成しておくとともに、スキャンラインに沿う互に異なる線分に対応するぬりつぶし画素データを生成する複数のDDAを設け、DDAから出力される座標データに対応して該当するブロックメモリへの画素データの書込みを行なわせる制御信号を生成するタイミング制御手段を設けているので、DDA制御手段から出力される制御信号に基いて、各DDAにおいて、スキャンラインに沿う互に異なる線分を構成する画素データを同時に生成し、タイミング制御手段により生成される制御信号に基いて対応するブロックメモリにぬりつぶし画素データを書込むことができる。

したがって、複数のDDAにより同時に生成されるぬりつぶし画素データを同時に、それぞれ該当するブロックメモリに書込むことができ、1画素当りのデータ生成所要時間、およびデータ書込み所要時間を短縮して、全体としての多角形ぬりつぶし速度を向上させ、ぬりつぶし図形表示のリアルタイム化を達成することができる。

そして、上記DDAにより生成される画素データのブロックメモリへの書込みが、ダブルバッファメモリを介して行なわれる場合には、各DDAによる画素データ生成速度と、1画素当りの画像メモリへの画素データ書込み速度とを一致させることができる。

また、1個のDDAに対応させて複数個のブロックメモリを割当てているとともに、タイミング制御手段が、1個のDDAにより生成される画素データを順次異なるブロックメモリに書込む状態を選択するものである場合には、ブロックメモリに対するデータ書込み所要時間が長くても、全体としてみた場合における1画素当りのデータ書込み速度をDDAの画素データ生成速度と一致させることができる。

さらに、上記タイミング制御手段が、スキャン方向の座標データについては、ダブルバッファメモリの容量に対応する下位所定桁が変化するタイミングで制御信号を生成し、スキャン方向と直角な方向の座標データについては、最も最下位桁が変化するタイミングで制御信号を生成するものである場合には、スキャン方向に連続する画素データが生成される状態において、スキャン方向の座標データの下位桁をデコードしてダブルバッファメモリの切替えを行なわせるので、全体として画像メモリに対するデータ書込み速度を向上させることができ、逆に、スキャン方向が変化した状態で、該当するスキャンライン方向に連続する画素データが生成される場合には、スキャン方向と直角な方向の座標データの下位桁をデコードしてダブルバッファの選択を行なわせるので、次に同一のダブルバッファが選択されるまでの間に画像メモリに対するデータ書込みを行なわせることが可能となり、全体として画像メモリに対するデータ書込み速度を向上させることができる。

また、上記画像メモリがデュアルポートダイナミックランダムアクセスメモリである場合には、画像メモリから

のデータ読出しに伴うデータ書込みの禁止時間を大巾に減少させることができるほか、上記と同様の作用を達成することができる。

さらに詳細に説明すると、DDAによる演算所要時間が $t_1$ であり、画像メモリに対するデータ書込み所要時間が $t_2$ （但し、 $t_2 = nt_1$ ）であれば、画像メモリを $n$ 個のブロックメモリで構成し、各ブロックメモリに対応させてダブルバッファメモリ、およびタイミング制御手段を設けておくことにより、DDAによる演算動作を停止させることなく、ダブルバッファメモリから対応するブロックメモリにデータを供給することにより、高速に画像メモリに対するデータの書込みを行なわせることができる。即ち、多角形ぬりつぶしを行なう場合には、DDAからスキャンライン方向に連続する画素データが順次生成されるのであるから、そのスキャンラインに対応するダブルバッファメモリに対して順次所定数の画素データを供給し、所定数の画素データが供給された場合には、ダブルバッファメモリを切替えて、再び所定数の画素データを供給することができる。そして、一方のバッファメモリに画素データを供給している間に他方のバッファメモリからブロックメモリに対して所定数の画素データを一括して供給することができる。この結果、DDAを常時動作させ続けながら画像メモリに対するデータの書込みをも連続的に行なわせることができる。

しかし、このようにダブルバッファメモリを介在させる構成を採用した場合には、ブロックメモリに対する1画素当りに換算した画素データ書込み所要時間をDDAによる画素データ生成時間と等しくすることができるだけであり、多角形ぬりつぶし速度の限界がDDAによる画素データ生成速度によって制約されることになる。この問題を考慮して、画像メモリを複数個のブロックメモリで構成し、しかも、スキャンラインに沿う互に異なる線分に対応するぬりつぶし画素データを生成するDDAを複数個設け、さらに、DDAから出力される座標データに対応して該当するブロックメモリへの画素データの書込みを行なわせる制御信号を生成するタイミング制御手段、および分解された線分のスキャンラインと直交する方向の座標データに対応して該当するDDAを動作させる制御信号を生成するDDA制御手段を設けているので、複数のDDAにより互に異なるスキャンラインに沿うぬりつぶし画素データを同時に生成することができ、同時に生成されたぬりつぶし画素データについて、タイミング制御手段から出力される制御信号に基づいて各DDAによる画素データ生成速度と等しい速度で該当するブロックメモリに対してぬりつぶし画素データを書込むことができるので、全体としてぬりつぶし画素データの1画素当りに換算した生成速度、およびブロックメモリに対する書込み速度を、DDAの画素データ生成速度よりも著しく向上させることができ、多角形ぬりつぶし表示のリアルタイム性を達成することができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。第1図はこの発明の多角形ぬりつぶし制御装置の一実施例の一部を示すブロック図であり、2辺の $x, y, z$ 値、およびインデックス値（以下、 $I$ 値と略称する）に対応する辺補間回路(11)(12)...(14)(21)(22)...(24)と、上記辺補間回路(11)(12)...(14)(21)(22)...(24)から出力される $x, y$ 値を入力とする1対のDDA(31a)(31b)と、上記辺補間回路(11)(12)...(14)(21)(22)...(24)から出力される $z$ 値、 $I$ 値をそれぞれ入力とする1対ずつのDDA(32a)(32b)(33a)(33b)と、描画コマンドデータを取込むためのI/Oインターフェース(41)と、辺選択処理、辺補間データを供給するDDAの選択処理等を行なうプロセッサ(42)と、メモリ(43)とから構成されている。

尚、上記各辺補間回路、DDAは、それぞれ除算回路と、除算結果を累積加算する加算回路とから構成され、各補間処理を並行させて遂行することができるようにしている。

また、上記プロセッサ(42)は、図示しない上位プロセッサから伝送された頂点データに基づいて、直線補間を行なうべき2辺を選択するとともに、各辺補間回路(12)(22)から出力される補間データに基づいてスキャンラインに対応するDDAを選択し、互に異なるスキャンラインに対応する線分の直線補間を行なわせるものである。具体的には、例えば、後述する第2図の構成を採用する場合には、上記補間データの下3桁目の内容が変化する毎に互に異なるDDAを選択するようにしている。

第2図はDDAにより生成されたぬりつぶし画素データを画像メモリに書込むための構成を示すブロック図であり、画像メモリ(5)をそれぞれDRAMからなる4つのブロックメモリ(51)(52)...(54)で構成してあるとともに、各ブロックメモリに対応させてダブルバッファメモリ(61)(62)...(64)、およびタイミング制御回路(71)(72)...(74)を設け、DDA(3)から出力されるぬりつぶし画素データを上記ダブルバッファメモリ(61)(62)...(64)に供給している。

上記各ダブルバッファメモリは、 $1 \times 8$ 画素の容量を有する1対のバッファメモリから構成されており、DDA(3)から出力されるぬりつぶし画素データを8画素分だけ一方のバッファメモリに保持している間に、他方のバッファメモリに保持されている8画素分のぬりつぶし画素データを一括して該当するブロックメモリに書込むことができるようにしている。

上記各タイミング制御回路は、DDA(3)から出力される $x, y$ 座標値の下位所定桁をデコードし、デコードデータに基づいてダブルバッファメモリ切替信号、ダブルバッファメモリ選択信号、およびブロックメモリ選択信号を生成するものであり、選択されたダブルバッファメモリ一方のバッファメモリに対してDDA(3)から出力さ

れるぬりつぶし画素データを供給するとともに、他方のバッファメモリに保持されているぬりつぶし画素データを一括して選択されたブロックメモリに書込むようにしている。具体的に説明すると、x座標の下4桁目の内容が変化する毎、y座標の最下位桁の内容が変化する毎、および線分の描画が終了する（DDAの制御カウンタの内容が0になる）毎にダブルバッファ切替信号を生成し、y座標の最下位桁の内容が変化する毎にダブルバッファメモリ選択信号、およびブロックメモリ選択信号を生成する。

また、上記各ブロックメモリ(51)(52)...(54)は、それぞれデュアルプレーン構成であり、1つの画像を表示している間に、他の画像データの書込みを行なうことができるようにしている。

上記第1図、および第2図に示す構成の多角形ぬりつぶし装置においては、図示しない上位プロセッサから描画コマンドデータが供給された場合に、辺補間回路(11)(12)...(14)(21)(22)...(24)により、各辺の補間を行ない、互に対向する2辺に対応する補間データを順次生成し、生成される補間データのy座標の最下位桁の内容が変化する毎にDDA(31a)(32a)(33a)、或はDDA(31b)(32b)(33b)に対して補間データを供給することにより、両DDAにおいて、互に異なるスキャンラインに対応する線分の直線補間を行ない、順次ぬりつぶし画素データの生成を行なう。

そして、各DDAにおいて順次生成されるぬりつぶし画素データは、DDAから出力されるぬりつぶし画素データに対応してタイミング制御回路から出力される制御信号に基いて何れかのダブルバッファメモリの一方のバッファメモリに供給され、他方のバッファメモリの内容が一括して対応するブロックメモリに書込まれる。

したがって、ブロックメモリに対するデータ書込み所要時間がDDAによるぬりつぶし画素データ生成時間の8倍であっても、ブロックメモリのリフレッシュ、ブロックメモリからのデータ読出しの期間を除いて、DDAによるぬりつぶし画素データ生成動作を停止させることなくぬりつぶし画素データのブロックメモリに対する書込みを行なわせることができる。

そして、この動作は、各DDAについて同時に行なわれるのであるから、DDAにより1つのぬりつぶし画素データが生成される時間内に2つのぬりつぶし画素データが生成され、しかも、各DDAから生成されるぬりつぶし画素データを同時にブロックメモリに書込むことができるのであるから、実質的にブロックメモリに対するぬりつぶし画素データの書込み所要時間を、1画素当りに換算して、DDAによるぬりつぶし画素データ生成所要時間のほぼ1/2にすることができる。

そして、以上のようにして1つの画像データが書込まれた場合には、該当する画像メモリプレーンから画像データを讀出して画像表示を行なわせることができ、画像表

示を行なっている間に他方の画像メモリプレーンに対して次の画像データの書込みを行なわせることができる。この結果、多角形のぬりつぶし速度を、DDAによるぬりつぶし画素データ生成速度の2倍を上限として大巾に向上させることができ、自然な画像の表示を、リアルタイム性を確保したままで行なわせることができる。

10 以上の実施例においては、同時にぬりつぶし画素データを生成するDDAを2組設けているが、DDAを2<sup>0</sup>組設けて、2<sup>0</sup>本の線分に対応するぬりつぶし画素データの生成を同時に10 行なわせ、多角形ぬりつぶし速度を一層向上させることもできる。但し、この場合には、辺補間回路(12)(22)から出力されるy座標データのn桁の内容をデコードして、デコードデータの内容に対応させてDDAを割当ててようにする必要がある。

20 第3図は他の実施例を示す要部ブロック図であり、2組のDDAから出力されるぬりつぶし画素データをタイミング制御回路を通して2×8画素のバッファメモリの該当する画素列に供給するようにしているとともに、2×8画素のバッファメモリを2つ1組とし、一方に対してぬりつぶし画素データが供給されている状態において、他方のバッファメモリからブロックメモリに対して画素データを一括して書込むようにしている。

したがって、この実施例の場合には、両DDAによるぬりつぶし画素生成開始、およびぬりつぶし画素生成終了のタイミングの同期をとることにより、見かけ上のぬりつぶし画素生成速度、およびぬりつぶし画素書込み速度を向上させることができ、リアルタイム性を著しく高めることができる。

30 第4図はDDA(3)から出力されるアドレスデータの特定の桁の内容の変化を検出するための構成を示すブロック図であり、DDA加算器(3c)からの出力データを順次レジスタ(81)(82)に供給するパイプライン構成を採用しておくことにより容易に行なうことができる。

40 即ち、第4図Bに示すように、上記レジスタ(81)(82)としてDタイプのフリップフロップ(以下、D-FFと略称する)を使用し、第1段目のD-FF(81)のD入力端子にDDA加算器(3a)から出力される1桁目のデータを供給し、第1段目のD-FF(81)のQ出力信号を第2段目のD-FF(82)のD入力端子に供給し、さらに、両D-FF(81)(82)のタイミング入力端子にDDAクロック信号を供給する構成を採用すれば、両D-FF(81)(82)のQ出力信号a<sub>1</sub>, b<sub>1</sub>、およびQ出力信号 $\bar{a}_1, \bar{b}_1$ が得られる。そして、得られた信号b<sub>1</sub>、および $\bar{a}_1$ をANDゲート(83)に供給するとともに、信号a<sub>1</sub>、および $\bar{b}_1$ をANDゲート(84)に供給し、両ANDゲート(83)(84)からの出力信号をNORゲート(85)に供給することにより、特定桁変化を検出する検出フラグを生成することができる。

50 第5図はy座標の最下位桁の変化、x座標の最下位桁から所定数だけ上位桁の変化、および線分描画終了を、y

座標の下位桁が所定の値である場合にのみ検出する回路構成を示しており、x座標用のDDA加算器(86)、y座標用のDDA加算器(87)からの出力データを、それぞれ第4図の構成と同じ構成の回路に供給しているとともに、DDAダウンカウンタ(88)から出力されるフラグ(ダウンカウンタ(88)の内容が0の場合にハイレベルになるオーバーフローフラグ)、およびDDAから出力されるy座標データを入力として下位桁の内容が所定のブロックメモリに対応する値となった場合にハイレベルとなるデコーダ(89)からの出力信号をANDゲート(90)に供給している。そして、上記デコーダ(90)からの出力信号を全てのANDゲートに供給しているとともに、全てのANDゲートからの出力信号をNORゲート(91)に供給している。

したがって、上記の構成を採用した場合には、デコーダ(90)からの出力信号がハイレベルの場合において、y座標の最下位桁の変化、x座標の所定桁の変化、および線分描画終了に対応してNORゲート(91)から負論理のダブルバッファメモリ切替えタイミング検出フラグを出力することができる。

尚、第5図に示すデコーダ、およびAND-OR-INVERTERは簡単にPAL(Programmable Alloy Logic)化することができる。

第6図は上記の実施例において例示された回路構成により生成されたダブルバッファメモリ切替えタイミング検出フラグに基いてDDAを停止させることなく、DRAMのタイミング制御、およびダブルバッファメモリ切替えを行なわせるための回路構成を示す図であり、8つのD-FF(101)(102)...(108)を有している。

上記D-FF(101)は、図示しないICRTコントローラから出力される水平同期信号 $\overline{HSYNC}$ (第7図C参照)をタイミング入力とし、かつリード転送、またはリフレッシュを受付けたか否かを示すハンドシェイク信号 $\overline{HSI}$ (第7図Q参照)をクリア入力として、DRAMに対するリード転送、またはリフレッシュの要求が発生しているか否かを示すQ出力信号Q1(第7図H参照)を生成するものであり、このQ出力信号Q1はそのまま、サンプリングストロブ信号SRCK(第7図L参照)をタイミング入力とするD-FF(102)のD入力端子に供給され、DRAMに対する書き込みサイクルか、リード転送、リフレッシュサイクルかを示すQ出力信号Q2(第7図M参照)を生成する。

上記D-FF(103)(104)はダブルバッファメモリ切替えタイミング検出フラグ $\overline{BOVF}$ (第7図F参照)を保持するものであり、互に選択的に動作する点を除けば、互に同一の動作を行なうようにしてある。即ち、上記D-FFの $\overline{Q}$ 出力信号を制御信号とするNANDゲート(109)を通してダブルバッファメモリ切替えタイミング検出フラグ $\overline{BOVF}$ がD入力端子に供給されているとともに、1画素毎にレベルが変動するDDA画素ストロ-

ブ信号DDARCK(第7図G参照)がORゲート(110)を通してタイミング入力端子に供給されており、しかも、メモリ書き込みサイクルが受け付けられたことを示す負論理のハンドシェイク信号 $\overline{HS2}$ (第7図R参照)がORゲート(111)、およびANDゲート(112)を通してクリア入力端子に供給されている。そして、一方のD-FFに対応させて、D-FF(108)から出力されるQ出力信号SELA(第7図D参照)、および $\overline{Q}$ 出力信号SELB(第7図E参照)がそれぞれORゲート(110)(111)に供給されており、他方のD-FFに対応させて、D-FF(108)から出力されるQ出力信号SELA、および $\overline{Q}$ 出力信号SELBがそれぞれORゲート(111)(110)に供給されている。

したがって、ORゲート(110)に供給されているQ出力信号SELA、或は $\overline{Q}$ 出力信号SELBの内、ローレベルである側のD-FFがデータ保持用として選択され、DDA画素ストロブ信号DDARCKの立上りのタイミングでダブルバッファメモリ切替えタイミング検出フラグ $\overline{BOVF}$ が取込まれる。但し、上記ダブルバッファメモリ切替えタイミング検出フラグ $\overline{BOVF}$ は、 $\overline{Q}$ 出力信号により制御されるNANDゲート(109)を通して供給されているので{信号BF1、BF2(第7図I、J)参照}、バッファメモリフルの状態が発生しそうなタイミングでD入力端子に供給されると同時に後述するORゲート(113)に供給され、そのままホールドされる。

上記D-FF(105)は、次のダブルバッファメモリ切替え状態に対応するQ出力信号Q3を生成するものであり、 $\overline{Q}$ 出力信号をD入力端子に供給しているとともに、上記負論理のハンドシェイク信号 $\overline{HS2}$ がタイミング入力端子に供給されている。

上記D-FF(106)(107)は、グリッジを発生させることなく、クロックに同期したサンプリングストロブ信号SRCKを生成するものであり、メモリサイクル終了の2クロック前を示す負論理パルス信号 $\overline{MBF2}$ (第7図O参照)がD-FF(106)のタイミング入力端子に供給されているとともに、メモリサイクル中に必ず1回発生する負論理パルス信号 $\overline{CAS}$ {例えば、DRAMのラムアドレスストロブ信号(第7図P参照)}がプリセット入力端子に供給されている。そして、上記D-FF(101)のQ出力信号Q1、および両D-F(103)(104)に対応するNANDゲート(109)からの出力信号をORゲート(113)を通してD-FF(107)のD入力端子に供給しているとともに、D-FF(106)(107)の $\overline{Q}$ 出力信号、およびサンプリングクロック信号SCK(第7図A参照)を入力とするNANDゲート(114)からの出力信号をサンプリングストロブ信号SRCKとして出力し、D-FF(107)のタイミング入力端子にも供給している。そして、上記負論理パルス信号 $\overline{CAS}$ がD-FF(107)のクリア入力端子に供給されている。また、D-FF(107)のQ出力信号を、立上りのタイミングでメモリサイクルを開始することを示すスタート信号(第7図N参

照)として出力している。

上記D - FF (108) はダブルバッファメモリ切替え用の信号SELA、SELBをそれぞれQ出力信号、 $\overline{Q}$ 出力信号として出力するものであり、上記D - FF (105) のQ出力信号がD入力端子に供給されているとともに、上記サンプリングストロブ信号SRCKがタイミング入力端子に供給されており、しかも、上記ORゲート (113) から出力信号ACOM (第7図K参照) がインバータ (115) を通してG入力端子に供給されている。

したがって、G入力端子に供給される信号がローレベルで、しかもサンプリングストロブ信号SRCKが立上るタイミングで上記D - FF (105) からのQ出力信号を保持し、このQ出力信号のレベルに対応させて、互に逆レベルとなるQ出力信号SELA、および $\overline{Q}$ 出力信号SELBを継続的に出力する。

さらに、負論理の初期化信号  $\overline{RESET}$  (第7図B参照) が上記D - FF (101) (103) (104) ... (108) のクリア入力端子にそれぞれ供給されている。

第6図に示す回路の動作は次のとおりである。

まず、電源投入時、或は処理中断時等に、初期化信号  $\overline{RESET}$  により必要な初期化を行なう。

その後は、負論理のハンドシェイク信号  $\overline{HS2}$  がタイミング入力端子に供給される毎にD - FF (105) のQ出力信号のレベルが交互に変化するので、G入力端子にローレベル信号が供給され、かつサンプリングストロブ信号SRCKが立上るタイミングでD - FF (108) が上記Q出力信号を保持し、Q出力信号のレベルに対応するQ出力信号SELA、および $\overline{Q}$ 出力信号SELBを出力することができる。したがって、Q出力信号SELA、および $\overline{Q}$ 出力信号SELBのレベルに基いてD - FF (103) (104) の何れかが選択される。即ち、ORゲート (110) にローレベル信号が供給されている側のD - FFが選択される。

そして、選択された側のD - FFには、 $\overline{Q}$ 出力信号により制御されるNANDゲート (109) を通して、D入力信号として、ダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  が供給されているとともに、ORゲート (110) を通して、タイミング入力信号として、DDA画素ストロブ信号DDARCKが供給されているのであるから、DDA画素ストロブ信号DDARCKの立上りのタイミングでダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  を取込み、そのまま保持する。また、上記、ダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  は、D - FFのQ出力端子から取出されるのではなく、NANDゲート (109) の出力端子からそのまま取出されるのであるから、1画素分の遅れを伴うことなく、バッファメモリフルが発生するタイミングでORゲート (113) に供給され、D - FF (107) のD入力端子に供給されることにより、Q出力端子から、メモリサイクルの開始を示すスタート信号を出力することができる。

そして、負論理のハンドシェイク信号  $\overline{HS2}$  がタイ

ミング入力端子に供給される毎に、D - FF (103) (104) の選択状態を切替えて、上記一連の動作を行なわせることができる。

第7図は第6図の回路の各部の動作を説明するタイミングチャートであり、T1の期間において画像データを読み出すリード転送動作が行なわれ、T2、T3の期間において画像データの書込み動作が行なわれている。

したがって、第4図、および第5図に示す構成のタイミング制御回路を各ブロックメモリに対応させて設けることにより、DDA (3) の演算動作を停止させることなく、生成された画素データの画像メモリ (5) に対する書込み動作を順次行なわせることができる。

また、上記の実施例において、DRAMとして、デュアルポートDRAMを使用すれば、表示のための読み出し所要時間を大巾に短縮することができ、98%程度の時間をデータ書込みのために割当てることができるので、全体として、画像メモリに対するデータ書込み所要時間を短縮することができる。

尚、この発明は上記の実施例に限定されるものではなく、例えば、全てのDDAに対して複数のブロックメモリを割当てて代わりに、少なくとも1つのDDAに対して複数のブロックメモリを割当てることにより、全体として見かけ上のぬりつぶし画素描画速度をDDAによるぬりつぶし画素生成速度を上回るようにすることが可能であるほか、n x m画素のダブルバッファメモリを用いるとともに、n個のDDAから同時に出力されるぬりつぶし画素データをダブルバッファメモリに供給することが可能であり、その他、この発明の要旨を変更しない範囲内において種々の設計変更を施すことが可能である。

<発明の効果>

以上のようにこの発明は、画像メモリを複数のブロックメモリで構成しておくとともに、スキャンラインに沿って互に異なる線分に対応するぬりつぶし画像データを生成する複数のDDAを設けておき、タイミング制御手段から出力される制御信号、およびDDA制御手段から出力される制御信号に基いて、上記複数のDDAにより同時に複数のぬりつぶし画素データを生成するとともに、互に並行させて該当するブロックメモリにぬりつぶし画素データを書込むようにしているので、必要やむを得ない期間を除いてDDAを停止させることなくぬりつぶし画素データの生成を行なわせ、1画素当りに換算したぬりつぶし画素データの生成速度、および画像メモリに対する書込み速度を、DDAによるぬりつぶし画素生成速度よりも早くして、自然な画像のリアルタイム処理を行なわせることができるという特有の効果奏する。

【図面の簡単な説明】

第1図はこの発明の画像メモリ書込み制御装置の一実施例の一部を示すブロック図、

第2図はDDAにより生成されたぬりつぶし画素データを画像メモリに書込むための構成を示すブロック図、

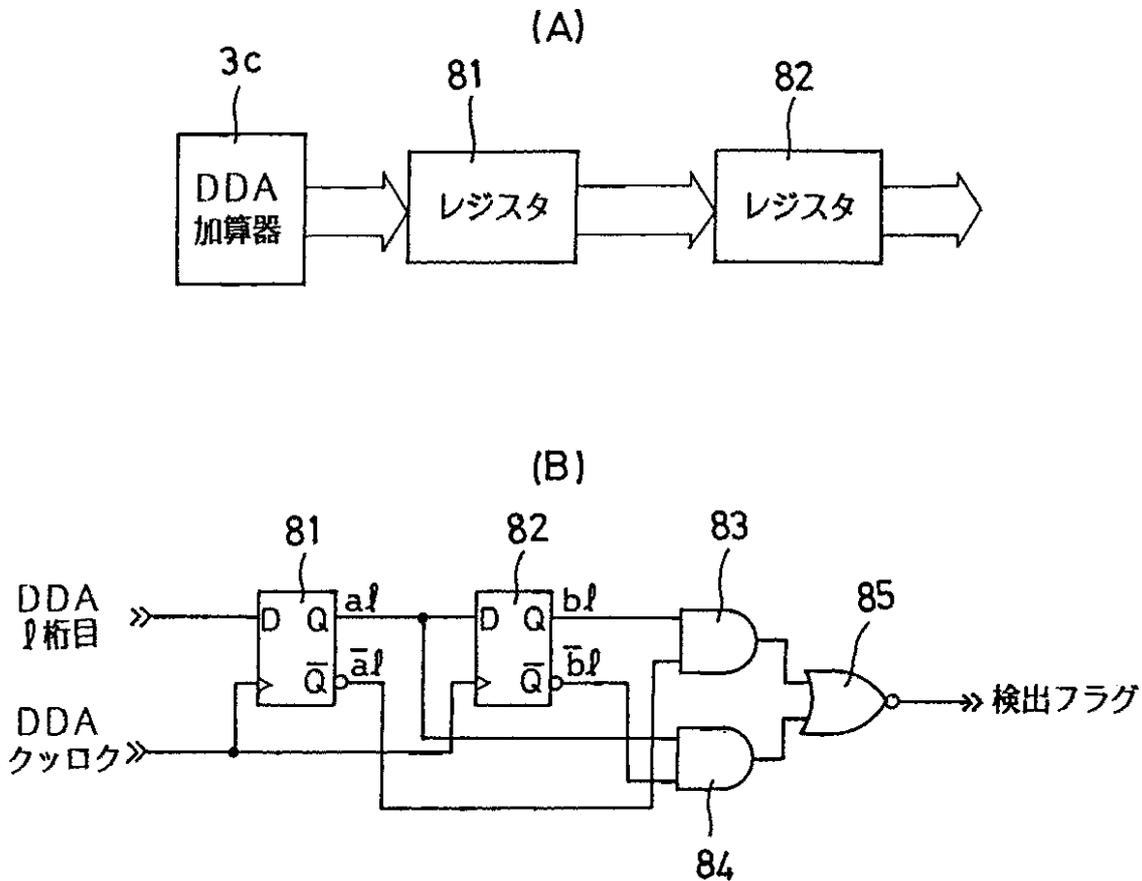
第3図は他の実施例を示す要部ブロック図、  
 第4図AはDDAをパイプライン化した状態を示す概略図、  
 第4図Bはアドレスデータの特定の桁の内容の変化を検出するための回路構成の一例を示す図、  
 第5図はアドレスデータの特定の桁の内容の変化を検出するための回路構成の他例を示す図、  
 第6図はダブルバッファメモリ切替えタイミング検出フラグに基いてDRAMのタイミング制御、およびダブルバッファメモリ切替えを行なわせるための回路構成を示す図、  
 第7図は第6図の回路図の動作を説明するタイミングチャート、

\* 第8図Aは従来の多角形ぬりつぶし装置の構成を示すブロック図、  
 第8図Bは従来のダブルバッファ方式を概略的に示す図、  
 第9図は多角形の一例を示す図。  
 (11) (12) ... (14) (21) (22) ... (24) .....辺補間回路、  
 (3) (31a) (31b) (32a) (32b) (33a) (33b) ...  
 ...DDA、  
 (42) .....プロセッサ、(5) .....画像メモリ、  
 (51) (52) ... (54) .....ブロックメモリ、  
 (61) (62) ... (64) .....ダブルバッファメモリ、  
 \* (71) (72) ... (74) .....タイミング制御回路

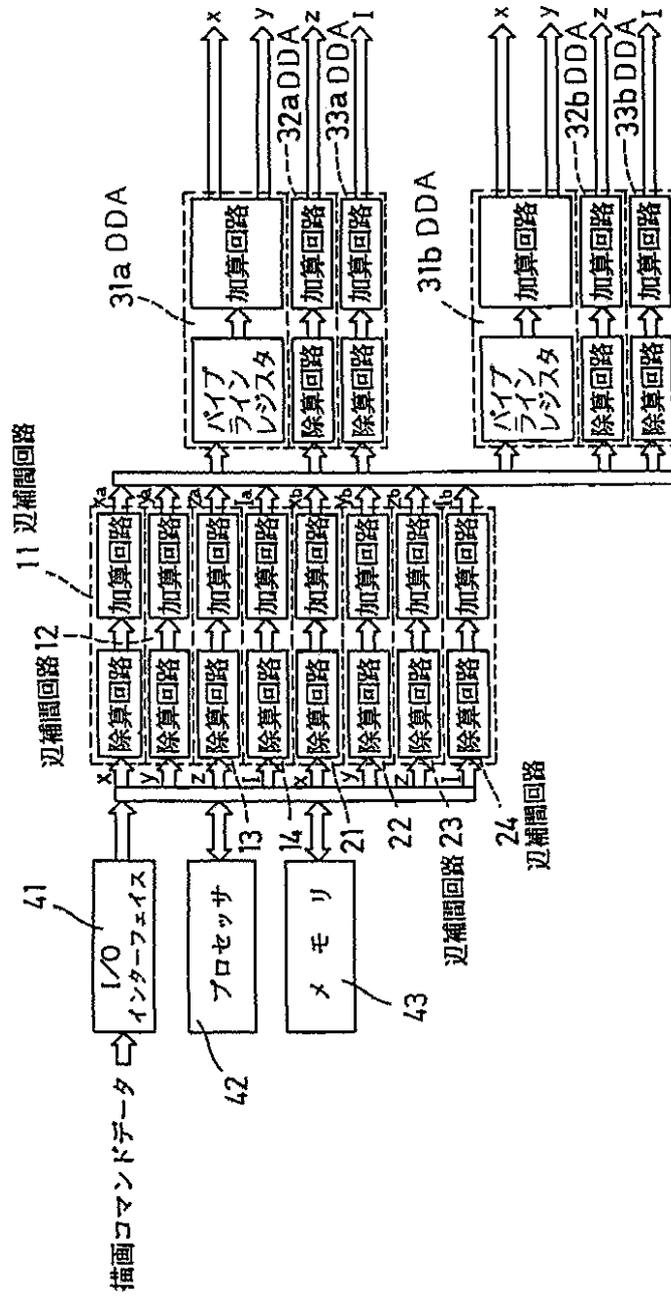
【第3図】



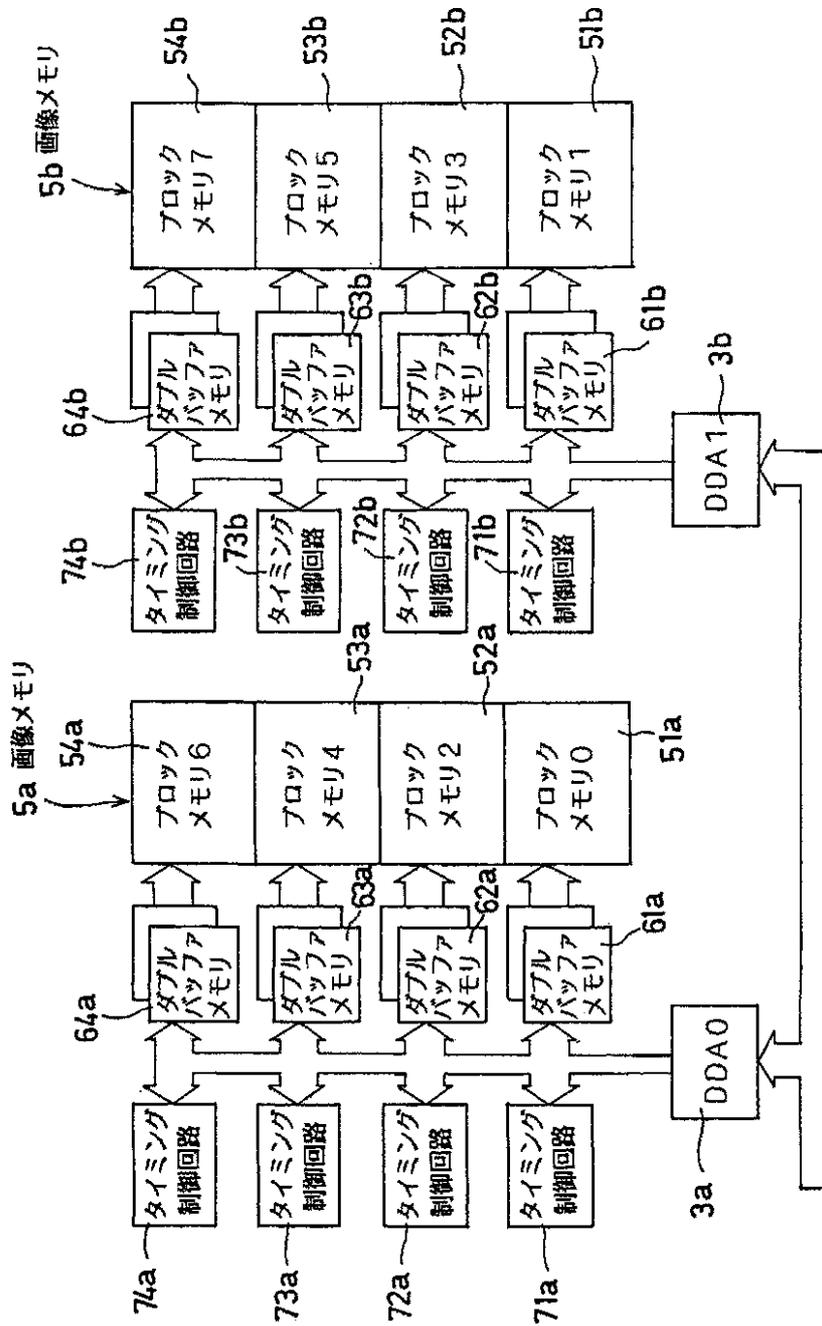
【第4図】



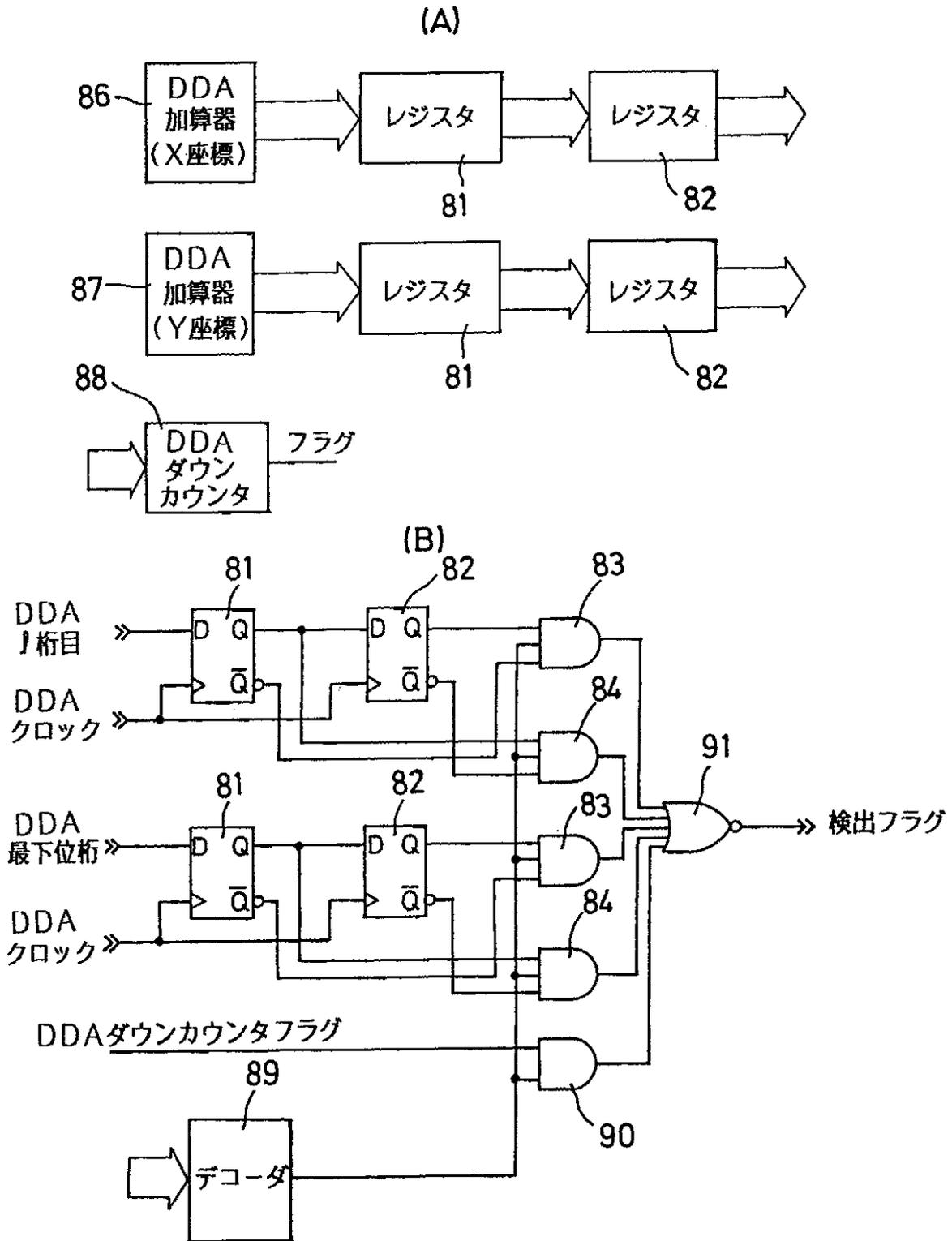
【第1図】



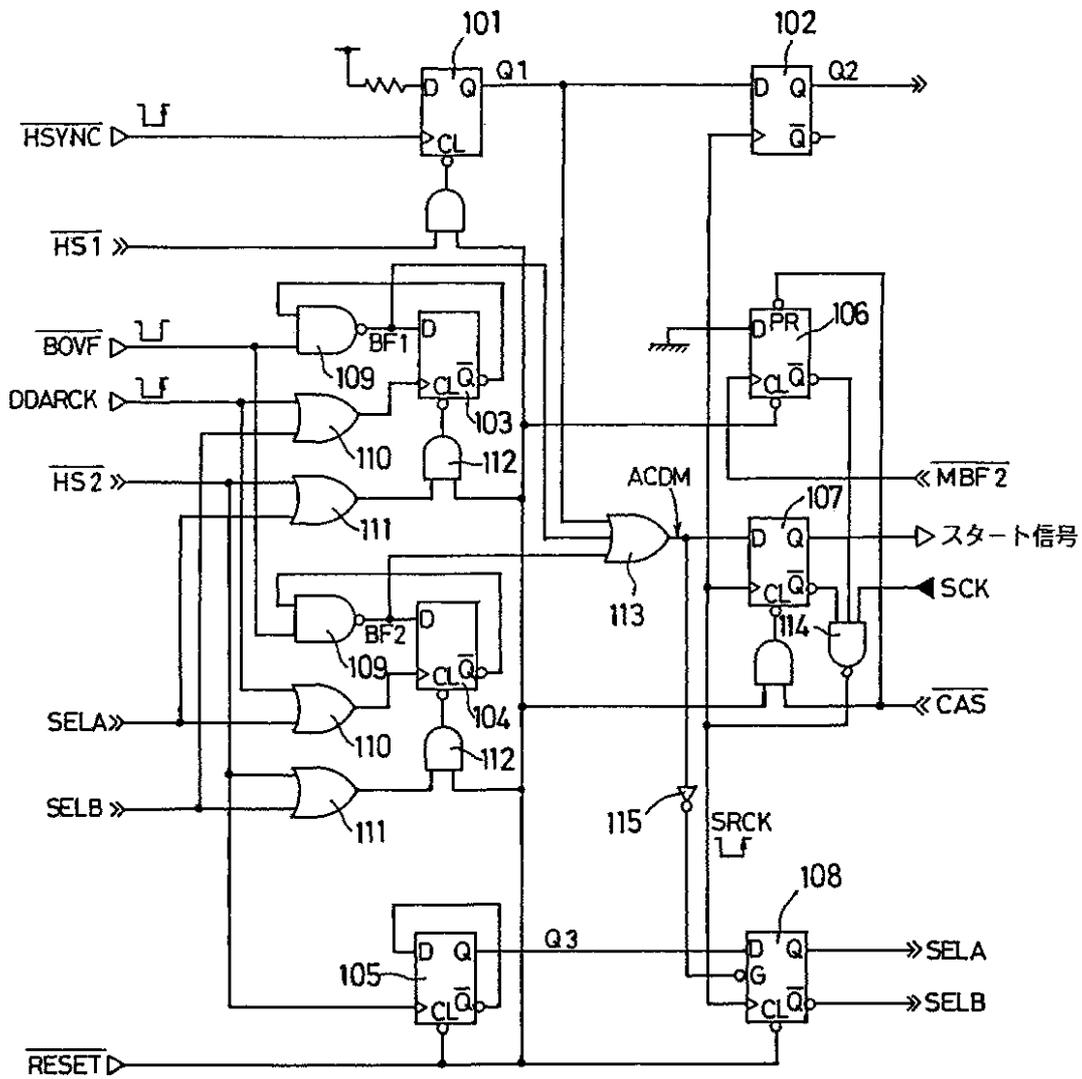
【第2図】



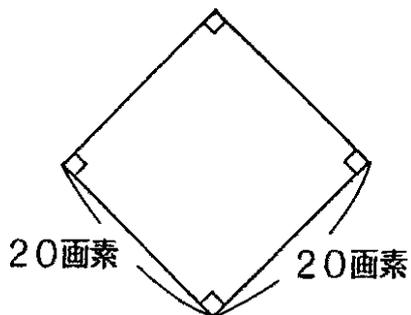
【第5図】



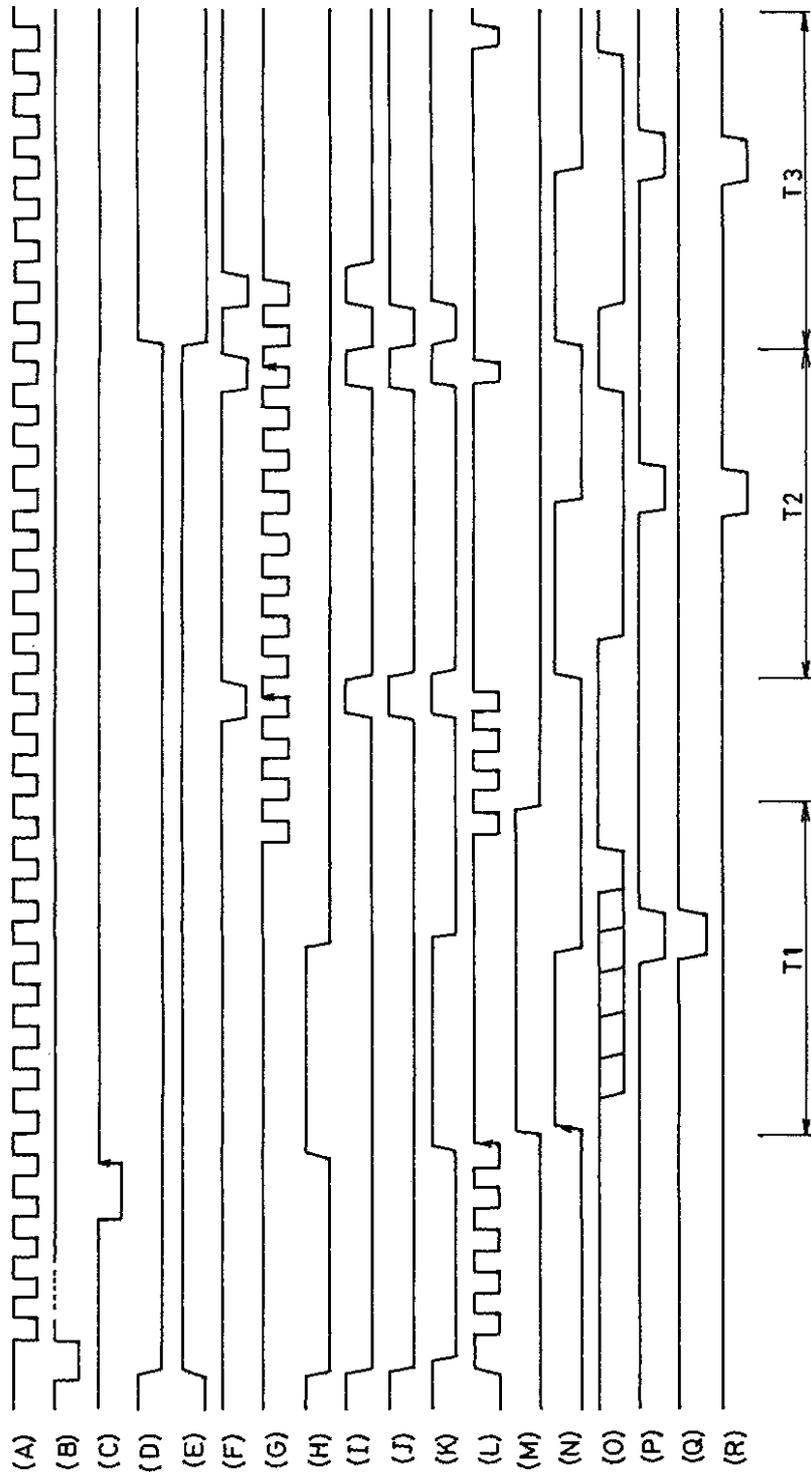
【第6図】



【第9図】



【第7図】



【第8図】

