

(19)日本国特許庁 ( J P )

(12) 特 許 公 報 ( B 2 )

(11)特許出願公告番号

特公平7-104854

(24) (44)公告日 平成7年(1995)11月13日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/17				
7/52	3 2 0 A			
G 0 6 T 11/20				
		9365-5L	G 0 6 F 15/ 353	
			15/ 72	3 5 5 K
				発明の数1(全 7 頁)

(21)出願番号 特願昭60-215776

(22)出願日 昭和60年(1985)9月27日

(65)公開番号 特開昭62-74151

(43)公開日 昭和62年(1987)4月4日

(71)出願人 999999999  
ダイキン工業株式会社  
大阪府大阪市北区中崎西2丁目4番12号  
梅田センタービル

(72)発明者 上田 智章  
滋賀県草津市岡本町字大谷1000番地の2  
ダイキン工業株式会社滋賀製作所内

(74)代理人 弁理士 津川 友士

審査官 吉田 耕一

(56)参考文献 特開 昭55-95148 ( J P , A )

(54)【発明の名称】 直線補間器用除算器

1

【特許請求の範囲】

【請求項1】被除数レジスタの被除数データと、除数レジスタの除数データとを減算回路に入力して減算試行を行なわせるとともに、キャリー信号を商として出力し、さらに減算回路からの減算結果を被除数レジスタにフィードバックさせることにより必要回数の減算試行を行なわせる直線補間器用除算器において、上記両レジスタをシフトレジスタで構成するとともに、減算回路からの減算結果を両レジスタにフィードバック可能とし、さらに両データの大小を判別し、小さいデータが格納されているシフトレジスタをシフトレジスタとして作用させるとともに、他方のシフトレジスタを固定式のレジスタとして作用させ、減算回路からの減算結果をシフトレジスタとして作用するシフトレジスタにフィードバックさせる制御信号を出力する判別回路を有することを特徴とする

2

直線補間器用除算器。

【請求項2】両シフトレジスタが、当初から浮動少数点形式に変換されたデータを入力されるものである上記特許請求の範囲第1項記載の直線補間器用除算器。

【発明の詳細な説明】

<産業上の利用分野>

この発明は直線補間器用除算器に関し、さらに詳細に例えば、特に、グラフィック・ディスプレイ装置において、2点間を結ぶ直線を連続的に描画することができるようにするために好適に使用される直線補間器用除算器に関する。

<従来の技術>

グラフィック・ディスプレイ装置において、2点の座標値が与えられた場合に、その2点間を直線的に補間して、ディスプレイ上に、ドットが連続し、視覚的に連続

した直線として把握することができるように描画することが要求される。

例えば、第2図Aに示すように、2点が与えられた場合には、X方向の座標値の差が $X_1 - X_0$ , Y方向の座標値の差が $Y_1 - Y_0$ となり、図から明らかなように、 $(X_1 - X_0) > (Y_1 - Y_0)$ である。したがって、この場合には、X方向については1つつの変化を与え、Y方向については $(Y_1 - Y_0) / (X_1 - X_0)$ つつの変化を与えることにより、同図中丸印で示すように、ドットが連続した状態で線分を描画することができる。

また、第2図Bで示すように、2点が与えられた場合には、X方向の座標値の差が $X_2 - X_0$ , Y方向の座標値の差が $Y_2 - Y_0$ となり、図から明らかなように、 $(X_2 - X_0) < (Y_2 - Y_0)$ である。この場合にも、X方向については1つつの変化を与え、Y方向については $(Y_2 - Y_0) / (X_2 - X_0)$ つつの変化を与えることにすれば、図中三角印で示すように、ドットが連続しない状態で線分を描画することになり、到底線分とはいえない描画状態になる。したがって、上記第2図Aと同様のドットが連続した状態での線分の描画を行なおうとすれば、Y方向については1つつの変化を与え、X方向については $(X_2 - X_0) / (Y_2 - Y_0)$ つつの変化を与える必要がある。

このような点を考慮して、従来から、第3図に示すように、正規化回路(11)を通してデータXをセレクタ(13)に入力しているとともに、正規化回路(12)を通してデータYをセレクタ(14)に入力し、ラッチ回路(15)からの制御信号により両セレクタ(13)(14)から互に異なるデータX,Yを出力し、シフトレジスタからなる被除数レジスタ(16)、データをラッチするだけの除数レジスタ(17)に入力するようにしている。そして、被除数レジスタ(16)のデータと除数レジスタ(17)のデータとを、常時1のキャリー入力を与えられている加算回路(18)に入力することにより、減算試行を行ない、減算結果を被除数レジスタ(16)にフィードバックさせるとともに、キャリー出力データをも被除数レジスタ(16)に入力することにより、被除数レジスタ(16)のデータを更新して、減算試行を反復させることができるようにしている。また、加算回路(18)からのキャリー出力データを商として商レジスタ(19)に入力しているとともに、被除数レジスタ(16)に入力し、さらに上記ラッチ回路(15)にも入力して、上記データX,Yの大小判別を行なわせるようにしている。尚、(20)は減算試行回数を制御するためのカウンタである。

<発明が解決しようとする問題点>

上記従来の直線補間器用除算器は、セレクタ(13)(14)によりデータX,Yを選択して被除数レジスタ(16)、除数レジスタ(17)に入力することができるので、2点の座標値の如何に拘わらず常にドットが連続した状態での線分の描画を行なうことができるのであるが、被除数レジスタ(16)と除数レジスタ(17)とが常に固定され

ているので、両データの大小関係により制御される一対のセレクタ(13)(14)が必要である。そして、このセレクタ(13)(14)は、両データのビット幅が大きくなれば、必然的に配線容量が大きいものを使用しなければならず(例えば、各データのビット幅が16ビットであれば、全部で64ビットのビット幅が必要であり)、直線補間器用除算器全体としての配線容量の増大を招くので、LSI化することが非常に困難であるという問題がある。また、上記データX,Yが格納されるレジスタは、当初から被除数レジスタ、除数レジスタとして機能が固定されているので、当初大小判別を行なった結果によっては、被除数レジスタ(16)、および除数レジスタ(17)に再度データX,Yを格納し直し、その後必要な回数の減算試行を行なわなければならない、除算動作を行なうための所要時間が全体として長くなるという問題もある。

<発明の目的>

この発明は上記の問題点を鑑みてなされたものであり、セレクタを不要として配線容量を減少させることができ、簡単にLSI化することができる直線補間器用除算器を提供することを目的としている。

<問題点を解決するための手段>

上記の目的を達成するための、この発明の直線補間器用除算器は、2つのデータがそれぞれ入力されるレジスタをシフトレジスタで構成するとともに、減算回路からの減算結果を両レジスタにフィードバック可能とし、さらに両データの大きさを判別し、小さいデータが格納されているレジスタのみをシフトレジスタとして作用させるとともに、他方のシフトレジスタを固定式のレジスタとして作用させ、減算回路からの減算結果をシフトレジスタとして作用するシフトレジスタにフィードバックさせる制御信号を出力する判別回路を有するものである。但し、上記両シフトレジスタが、当初から浮動小数点形式に変換されたデータを入力されるものであってもよい。

<作用>

上記の構成の直線補間器用除算器であれば、当初2つのデータがそれぞれシフトレジスタに入力された状態で減算回路により減算を行なって、減算回路からのキャリー出力を判別回路に入力することにより、両データの大小関係を判別し、この判別結果に基づいてレジスタに制御信号を入力することにより、小さいデータが格納されているレジスタをシフトレジスタとして動作させるとともに、他方のシフトレジスタを固定式のレジスタとして動作させ、減算回路からの減算結果をシフトレジスタとして動作するシフトレジスタにフィードバックさせることができる。

したがって、小さいデータが格納されているレジスタが被除数レジスタとして動作し、大きいデータが格納されているレジスタが除数レジスタとして動作することにより、その後は、従来の直線補間器用除算器と同様に動作

して、必要な除算結果を得ることができる。  
また、上記両シフトレジスタが、当初から浮動小数点形式に変換されたデータを入力されるものであれば、シフトレジスタへのデータの格納を1回のみとすることができ、好ましい。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。  
第1図はこの発明の直線補間器用除算器の一実施例を示すブロック図である。

一方のデータXを正規化回路(1)により正規化して一方のシフトレジスタ(3)に入力しているとともに、他方のデータYを正規化回路(2)により正規化して他方のシフトレジスタ(4)に入力している。ここで、各正規化回路はデータを浮動小数点形式に変換するものであり、従来公知のように、指数部データ、仮数部データおよび符号データを出力する。そして、仮数部データがシフトレジスタに供給される。また、従来公知のように、各正規化回路は、変換処理が終了するまでの間は入力データをそのまま出力しており、この間に入力データがそのままシフトレジスタに入力、保持される。そして、両シフトレジスタ(3)(4)からの出力データを、常時1のキャリー入力が入力されて減算回路として動作する加算回路(5)(浮動小数点形式で表されたデータの仮数部、および指数部同士の大小比較をも行なうことができるもの)に入力し、加算回路(5)からの減算結果を上記両シフトレジスタ(3)(4)にフィードバック可能としている。ここで、従来公知のように、両シフトレジスタ(3)(4)からの出力データの一方を反転値として常時1のキャリー入力が入力されて減算回路として動作する加算回路(5)に供給することにより、減算結果を得ることができる。さらに上記加算回路(5)からのキャリーを出力を、商データとして商レジスタ(6)に入力するとともに、両シフトレジスタ(3)(4)に、シフト・ロード制御信号として入力し、さらに判別回路としてのラッチ回路(7)に入力している。但し、除算のための減算試行を行なう間、除数レジスタとして機能するシフトレジスタと被除数レジスタとして機能するシフトレジスタとは固定されている必要があるため、ラッチ回路(7)は、正規化回路(1)(2)にデータが供給された後、最初に加算回路(5)から出力されるキャリー出力を保持する。また、このキャリー出力が両シフトレジスタ(3)(4)にロード信号として供給され、変換処理により得られた浮動小数点形式のデータの仮数部データをシフトレジスタ(3)(4)にロードする。そして、このラッチ回路(7)からの互に異なる制御信号(Q出力、および $\bar{Q}$ 出力)を選択的にシフトレジスタ(3)(4)に入力するようにしている。ラッチ回路(7)からの互に異なる制御信号が選択的にシフトレジスタ(3)(4)に入力されることにより、一方が被除数レジスタとして機能するよう、即ち、シフトレジスタ

として機能するよう制御されるとともに、他方が除数レジスタとして機能するよう、即ち、保持内容を変化させることなく反転値を出力するよう制御される。尚、

(8)は上記加算回路(5)による減算試行回数を制御するためのカウンタである。ここで、減算試行回数は浮動小数点形式の被除数の指数部データに基いて定まるのであるから、ラッチ回路(7)からの制御信号によって被除数として選択された側の指数部データが初期値としてセットされる。

10 上記の構成の直線補間器用除算器によれば、例えば、第2図に示すX軸方向についての2点間の座標値の差がデータXとして正規化回路(1)に入力され、Y軸方向についての2点間の座標値の差がデータYとして正規化回路(2)に入力されているとした場合には、以下のように動作して適正な直線補間を行なうことができる。

以下、詳述する。

20 先ず、データXが正規化回路(1)により浮動小数点形式のデータXに変換されてシフトレジスタ(3)に格納されるとともに、データYが正規化回路(2)により浮動小数点形式のデータYに変換されてシフトレジスタ(4)に格納される。

但し、浮動小数点形式のデータへの変換が終了するまでは、正規化回路(1)(2)から入力データX,Yがそのまま出力されているので、シフトレジスタ(3)(4)に供給し、シフトレジスタの一方から反転値を出力して加算回路(5)に供給することにより、例えば $X + \bar{Y} + 1 (= X - Y)$ の演算を行ない、演算結果の符号を示すキャリー出力をラッチ回路(7)に供給する。このラッチ回路(7)は、互に異なるQ出力信号、および $\bar{Q}$ 出力信号をそれぞれシフトレジスタ(3)(4)の制御端子に入力しているため、一方がシフトレジスタとして動作し、他方がデータをラッチするだけのレジスタとして動作することになる。即ち、シフトレジスタとして動作する側が、被除数レジスタとなり、他側が除数レジスタとなる。

したがって、以後は両シフトレジスタ(3)(4)の内容を加算回路(5)に入力することにより、減算試行を行ない、加算回路(5)からのキャリー出力の有無に対応させて、シフトレジスタとして動作する側の内容のシフト、またはシフトレジスタとして動作する側への減算結果のロードを選択的に行なわせるとともに、上記キャリー出力を商として商レジスタ(6)に格納する。その後は、カウンタ(8)に格納されている内容により定まる回数だけの減算試行を行なって除算結果を得ることができる。

より具体的に説明すると、第2図Aに示す直線補間を行なう場合であれば、 $X = X1 - X0, Y = Y1 - Y0$ であり、 $X > Y$ であるから、シフトレジスタ(4)がシフトレジスタとして動作し、シフトレジスタ(3)がデータをラッチするだけのレジスタとして動作し、商レジスタ(6)に

Y/Xの除算結果を得ることができる。

また、第2図Bに示す直線補間を行なう場合であれば、 $X = X2 - X0, Y = Y2 - Y0$ であり、 $X < Y$ であるから、シフトレジスタ(3)がシフトレジスタとして動作し、シフトレジスタ(4)がデータをラッチするだけのレジスタとして動作し、商レジスタ(6)にX/Yの除算結果を得ることができる。

以上の実施例の場合には、シフトレジスタ(3)(4)へのデータのロードを1回行なうのみでよいから、データの転送時間を従来例と比較して少なくすることができる。

また、この実施例においては、仮数部、および指数部の大小判別を同時に行なわなければならないので、加算回路(5)の構成がやや複雑化するが、指数部は多くても8ビット程度であるから、複雑化の程度は少なく済み、従来必要であった複雑な構成のセレクトを省略することができるので、直線補間器用除算器の構成を簡素化することができる。

尚、以上の実施例においては、当初からシフトレジスタ(3)(4)に浮動小数点形式に変換されたデータを格納する場合について説明したが、各正規化回路(1)(2)にセレクトを内蔵させ、データX,Yをそのままシフトレジスタ(3)(4)に格納する動作と、浮動小数点形式に変換したデータX,Yをシフトレジスタ(3)(4)に格納する動作とを選択的にしない得るようにすることもできる。

この場合には、正規化回路(1)(2)がセレクトを内蔵するので構成が複雑化すると思われるかもしれないが、上記内蔵セレクトは、データX,Yをそのまま出力するか、正規化されたデータX,Yを出力するかを選択

するのみであるから、従来例におけるセレクトと比較して著しく簡素化することができ、しかも上記実施例と比較すると、加算回路(5)において指数部同士の大小を比較する必要がなくなるので、この部分に対応する構成の簡素化も達成することができる。

但し、この場合には、データX,Yをシフトレジスタ(3)(4)にロードして大小判別を行なった後、データX,Yをシフトレジスタ(3)(4)にロードしなければならないので、データの転送時間が上記実施例と比較してやや長くなるが、特に不都合はない。

<発明の効果>

以上のようにこの発明は、2点の座標データに基いて除算を行なう場合における除数と被除数との選択を、セレクトを使用することなく行なうことができるので、配線容量を減少させて直線補間器用除算器の構成を全体として簡素化し、LSI化を簡単に達成することができるという特有の効果奏する。

特に当初から浮動小数点形式に変換されたデータをロードする場合には、データのロードが1回のみでよいため、全体としての除算時間を短縮することができるという効果をも奏する。

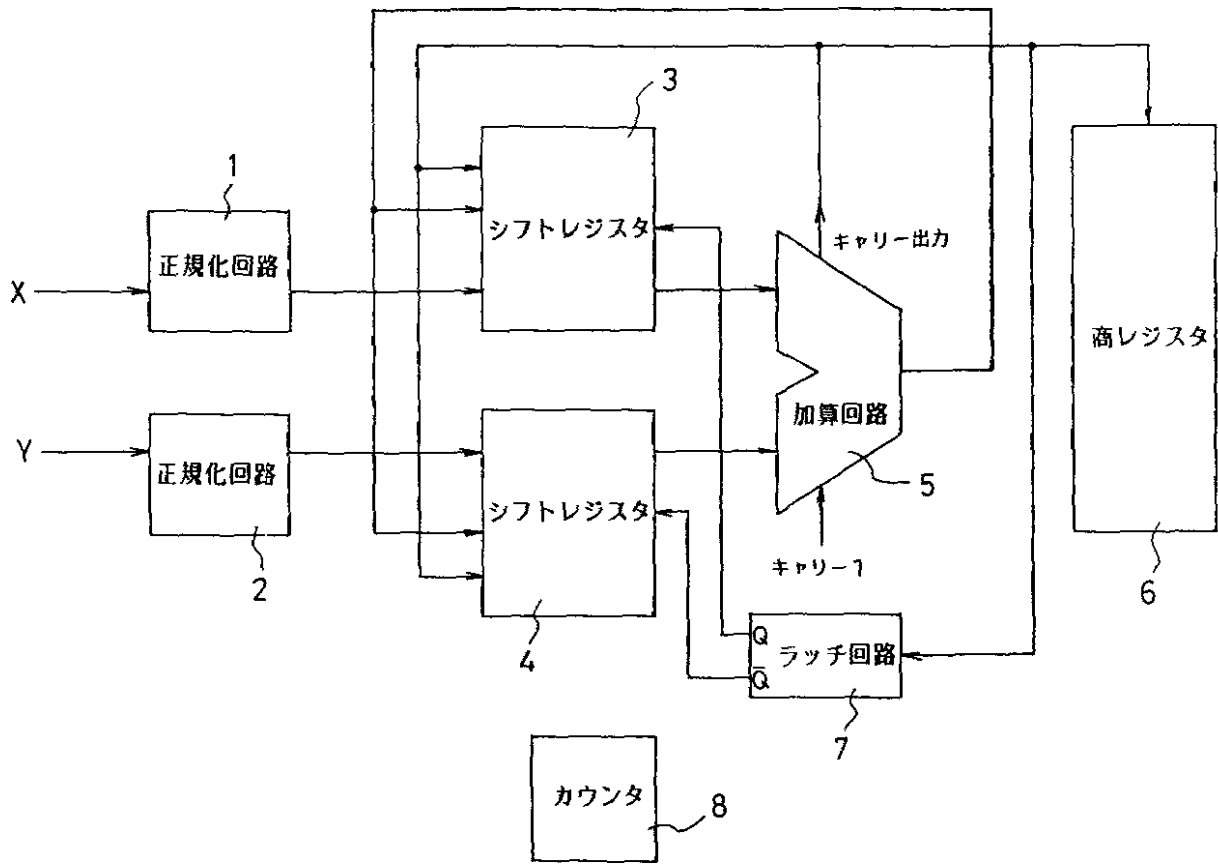
【図面の簡単な説明】

第1図はこの発明の直線補間器用除算器の一実施例を示すブロック図、

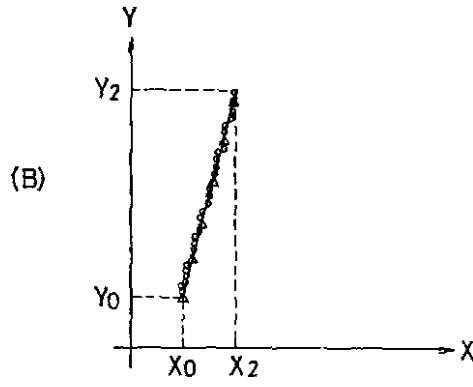
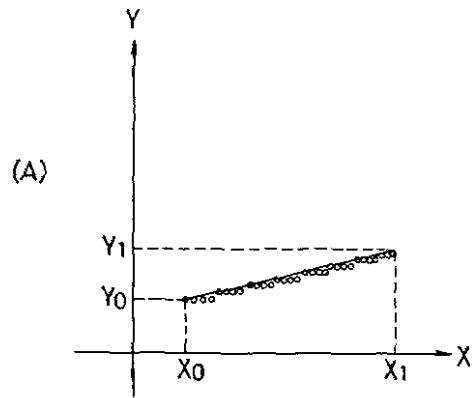
第2図は直線補間を行なうべき2点の関係を説明する図、

第3図は従来の直線補間器用除算器を示すブロック図。  
(1)(2).....正規化回路、(3)(4).....シフトレジスタ、(5).....加算回路、(7).....ラッチ回路

【第1図】



【第2図】



【第3図】

