

(19)日本国特許庁 ( J P )

(12) 特 許 公 報 ( B 2 )

(11)特許出願公告番号

特公平7-60458

(24) (44)公告日 平成7年(1995)6月28日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 1/60			G 0 6 F 15/ 64	4 5 0 F

発明の数1(全16頁)

(21)出願番号	特願昭62-266855	(71)出願人	999999999 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル
(22)出願日	昭和62年(1987)10月21日	(72)発明者	上田 智章 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社滋賀製作所内
(65)公開番号	特開平1-108686	(74)代理人	弁理士 津川 友士
(43)公開日	平成1年(1989)4月25日	審査官	広岡 浩平
		(56)参考文献	特開 昭60-198655 ( J P , A )

(54)【発明の名称】 画像メモリ書込み制御装置

1

【特許請求の範囲】

【請求項1】直線補間演算器により生成された画素データを画像メモリに書込むための制御装置において、画像メモリを互に異なるスキャンラインが割り当てられた複数のブロックメモリで構成するとともに、各ブロックメモリに対応させてダブルバッファメモリを設け、直線補間演算器から出力される座標データのうち、スキャン方向と直角な方向の座標データを入力として下位桁をデコードし、デコード信号に基づいてダブルバッファメモリを選択するとともに、このダブルバッファメモリに対応するブロックメモリを選択し、スキャン方向の座標データを入力として下位桁をデコードし、デコード信号に基づいて上記選択されたダブルバッファメモリの切替えを行なわせる制御信号を生成するタイミング制御手段を設けたことを特徴とする画像メモリ書込み制御装置。

2

【請求項2】タイミング制御手段が、直線補間演算器から出力される描画終了信号をも入力としてダブルバッファメモリの切替えを行なわせる制御信号を生成するものである上記特許請求の範囲第1項記載の画像メモリ書込み制御装置。

【請求項3】画像メモリが所定サイズの複数個のブロックメモリで構成されているとともに、各ブロックメモリが、互に異なる画像データを格納すべく2分割されている上記特許請求の範囲第1項記載の画像メモリ書込み制御装置。

【請求項4】画像メモリがデュアルポートダイナミックランダムアクセスメモリである上記特許請求の範囲第1項、または第3項に記載の画像メモリ書込み制御装置。

【発明の詳細な説明】

<産業上の利用分野>

10

この発明は画像メモリ書込み制御装置に関し、さらに詳細にいえば、直線補間演算器（以下、DDAと略称する）の演算動作を停止させることなく、メモリに対するデータの書込みを行なわせることができる新規な画像メモリ書込み制御装置を提供することを目的としている。

<従来の技術、および発明が解決しようとする問題点>  
従来からグラフィック・ディスプレイ装置においては、画像メモリ容量を大きくする必要があり、しかも全体として安価にする必要があるため、スタティックランダムアクセスメモリ（以下、SRAMと略称する）は殆ど使用されておらず、ダイナミックランダムアクセスメモリ（以下、DRAMと略称する）が一般的に使用されている。しかし、DRAMを画像メモリとして使用した場合には、画素データを生成するDDAの処理所要時間が1画素当り50nsec程度であるのに、DRAMに対するアクセス所要時間が230～400nsec程度であるから、必要な全画素データを画像メモリに書込む間において、DDAの演算動作を頻繁に停止しななければならないことになり、画像メモリに対する画素データの書込み所要時間が長くなって、結果的に画像表示に必要な時間が著しく長くなってしまおうという問題がある。

このような問題を解消させるために、ラスタスキャン型グラフィック・ディスプレイ装置において、第8図に示すように、DDA(71)から出力される画素データを、スキャンラインに沿って所定数だけ一時的に保持するバッファメモリ(72a)(72b)を設けるとともに、各バッファメモリから出力される所定数の画素データが書込まれる画像メモリ（以下、フレームメモリと称する）(73)を設け、さらに、上記バッファメモリ(72a)(72b)の切替えを制御するとともに、フレームメモリ(73)に対してメモリタイミング信号を供給するタイミング制御回路(74)を設けた構成のもの（以下、ダブルバッファ方式と略称する）が提供されており、このダブルバッファ方式の中には、

① スキャンライン方向の8画素データのみを保持することができるようにした1×8ダブルバッファ方式、および

② スキャンライン方向に4画素を、スキャンラインと直角な方向に4画素分保持できるようにした4×4ダブルバッファ方式

があり、何れの方式においても、フレームメモリ(73)に対するアクセス所要時間が長いことに起因するDDAの演算動作停止の頻度を低下させ、表示すべき画像全体としてみた場合におけるフレームメモリに対する画像データ書込み速度を向上させ、結果的に画像表示速度をある程度向上させることができる。

さらに詳細に説明すると、上記ダブルバッファ方式は、DDA(71)により一方のバッファメモリに対する画素データの供給が行なわれている間に、他方のバッファメモリからフレームメモリ(73)に対する画素データの供給

が行なわれるようにしたものであり、バッファメモリからフレームメモリ(73)に対する画素データの書込みが行なわれている間であっても、他方のバッファメモリに対する画素データの供給を行なうことができ、DDA(71)の演算動作を停止させる頻度を低下させることに伴ない、画像全体としてみた場合におけるフレームメモリ(73)に対する画素データ書込み速度を向上させることができるのである。

特に、上記1×8ダブルバッファ方式は、上記DDA(71)から順次出力されるスキャンライン方向の8画素データを交互に何れかのバッファメモリに一時的に保持させるとともに、DDA(71)から画素データの供給を受けていない側のバッファメモリからフレームメモリ(73)に対する8画素データの書込みを行なわせるのであるから、多角形ぬりつぶし動作のように、スキャンラインに沿って画素データが連続する蓋然性が高い動作を行なう場合におけるフレームメモリ書込み所要時間を著しく短縮することができる。即ち、フレームメモリ(73)に対するデータ書込み所要時間がDDA(71)の画素データ生成所要時間の8倍であっても、1画素単位の書込み所要時間は互に等しくなってしまうのであるから、フレームメモリ(73)のリフレッシュ動作、表示のためのフレームメモリ(73)からのデータ読出し動作等の期間を除けば、DDA(71)を停止させる必要がなくなり、フレームメモリ(73)に対するデータ書込み所要時間を全体として短縮することができる。

しかし、スキャンラインに対して傾斜した線分を描画する場合には、1度にバッファメモリに書込まれる画素データ数が減少することになるので、フレームメモリ(73)に対するデータ書込み期間中にかなりの時間にわたってDDA(71)が演算動作の停止を余儀なくれてしまい、全体としてデータ書込み所要時間が長くなってしまおうという問題がある。さらに詳細に説明すると、例えば、スキャンラインに対して45°以上の傾斜角を持つ線分を描画する場合について考えてみれば、バッファメモリからフレームメモリ(73)に対するデータ書込みの1サイクルにおいて1つの画素データの書込みのみが行なわれるのであるから（第9図A参照）、DDA(71)による演算は、上記1つの画素データに対する演算のみでよく、フレームメモリ(73)に対するデータ書込み速度の8倍の演算速度を有していても、残余の7つの画素データの演算を行ない得る期間は演算動作の停止を余儀なくされてしまうのである（第9図B参照）。

また、上記4×4ダブルバッファ方式は、スキャンライン方向、およびスキャンラインと直角な方向にそれぞれ4画素分のメモリ領域を有するバッファメモリを有しているため、スキャンライン方向のみならず、スキャンラインに対して傾斜した方向についても最大4つの画素データを保持することができ、フレームメモリ(73)に対するデータ書込み速度の4倍の演算速度を有

するDDA (71) を使用することにより、1画素当りの書込み速度をDDA (71) の演算速度とほぼ等しくすることができる。

しかし、描画すべき線分とバッファメモリとの相対位置関係が変化した場合に、第10図Aに示すように、フレームメモリ (73) に対する1回の書込み動作において2画素、或は1画素の書込みのみが行なわれる場合があり、前者の場合には、第10図Bに示すように、残余の2つの画素データの演算を行ない得る期間は演算動作の停止を余儀なくされてしまうのである。

以上要約すれば、DDA (71) の演算速度を向上させても、或は、バッファメモリ (72a) (72b) の容量を増大させても、描画する線分の状態によっては、必然的にDDA (71) の演算動作の停止が余儀なくされてしまうことがあり、スキャンラインに対して任意の傾斜角を有する線分に対応する画素データをフレームメモリ (73) に書込む場合の所要時間が大巾に変動してしまうという問題がある。

#### < 発明の目的 >

この発明は上記の問題点を鑑みてなされたものであり、描画線分のスキャンラインに対する傾斜角に拘らず、DDAの演算動作を停止させることなく、画素データを高速に画像メモリに書込むことができる画像メモリ書込み制御装置を提供することを目的としている。

#### < 問題点を解決するための手段 >

上記の目的を達成するための、この発明の画像メモリ書込み制御装置は、画像メモリを互に異なるスキャンラインが割り当てられた複数のブロックメモリで構成するとともに、各ブロックメモリに対応させてダブルバッファメモリを設け、直線補間演算器から出力される座標データのうち、スキャン方向と直交する方向の座標データを入力として下位桁をデコードし、デコード信号に基いてダブルバッファメモリを選択するとともに、このダブルバッファメモリに対応するブロックメモリを選択し、スキャン方向の座標データを入力として下位桁をデコードし、デコード信号に基いて上記選択されたダブルバッファメモリの切替えを行なわせる制御信号を生成するタイミング制御手段を設けている。

但し、上記タイミング制御手段としては、スキャン方向の座標データについては、ダブルバッファメモリの容量に対応する下位所定桁が変化するタイミングで制御信号を生成し、スキャン方向と直角な方向の座標データについては、最も最下位桁が変化するタイミングで制御信号を生成するものが好ましい。

さらには、上記タイミング制御手段としては、DDAから出力される描画終了信号をも入力としてダブルバッファメモリの切替えを行なわせる制御信号を生成するものが好ましい。

また、上記画像メモリが所定サイズの複数個のブロックメモリで構成されているとともに、各ブロックメモリ

が、互に異なる画像データを格納すべく2分割されていることが好ましく、デュアルポートDRAMであることが一層好ましい。

#### < 作用 >

以上の構成の画像メモリ書込み制御装置であれば、DDAにより生成された画素データを画像メモリに書込む場合において、画像メモリを互に異なるスキャンラインが割り当てられた複数のブロックメモリで構成するとともに、各ブロックメモリに対応させてダブルバッファメモリを設け、直線補間演算器から出力される座標データのうち、スキャン方向と直交する方向の座標データを入力として下位桁をデコードし、デコード信号に基いてダブルバッファメモリを選択するとともに、このダブルバッファメモリに対応するブロックメモリを選択し、スキャン方向の座標データを入力として下位桁をデコードし、デコード信号に基いて上記選択されたダブルバッファメモリの切替えを行なわせる制御信号を生成するタイミング制御手段を設けているので、DDAから出力される演算結果データを直ちに何れかのバッファメモリに保持させ、バッファメモリに保持されているデータを順次画像メモリに供給するのであるから、DDAの演算動作を中断させることなく、常時画素データの生成を行なわせることができ、しかも、生成された画素データを一時的にバッファメモリに保持させておいて、順次画像メモリに書込むことができ、全体として画像メモリに対するデータ書込み速度を向上させることができる。

そして、上記タイミング制御手段が、スキャン方向の座標データについて、ダブルバッファメモリの容量に対応する下位所定桁が変化するタイミングで制御信号を生成し、スキャン方向と直角な方向の座標データについて、最も最下位桁が変化するタイミングで制御信号を生成するものである場合には、生成される制御データに基いてダブルバッファメモリの切替え、或はダブルバッファメモリの選択を行なわせることができ、上記と同様の作用を達成することができる。

さらにまた、上記タイミング制御手段が、DDAから出力される描画終了信号をも入力としてダブルバッファメモリの切替えを行なわせる制御信号を生成するものである場合には、描画終了時点で自動的にダブルバッファメモリを切替えることができる。

また、上記画像メモリが所定サイズの複数個のブロックメモリで構成されているとともに、各ブロックメモリが、互に異なる画像データを格納すべく2分割されている場合には、画像メモリ全体としてのデータ書込み用入力ビット数を増加させることができる。

そして、上記画像メモリがデュアルポートDRAMである場合には、画像メモリからのデータ読出しに伴うデータ書込みの禁止時間を大巾に減少させることができる外、上記と同様の作用を達成することができる。

さらに詳細に説明すると、DDAによる演算所要時間がt1

であり、画像メモリに対するデータ書込み所要時間が $t_2$ （但し、 $t_2 = nt_1$ ）であれば、画像メモリを $n$ 個のブロックメモリで構成し、各ブロックメモリに対応させてダブルバッファメモリ、およびタイミング制御手段を設けておくことにより、DDAによる演算動作を停止させることなく、ダブルバッファメモリから対応するブロックメモリにデータを供給することにより、高速に画像メモリに対するデータの書込みを行なわせることができる。即ち、DDAからスキャンライン方向に連続する画素データが順次生成される場合には、そのスキャンラインに対応するダブルバッファメモリに対して順次所定数の画素データを供給し、所定数の画素データが供給された場合には、ダブルバッファメモリを切替えて、再び所定数の画素データを供給することができる。そして、一方のバッファメモリに画素データを供給している間に他方のバッファメモリからブロックメモリに対して所定数の画素データを一括して供給することができる。この結果、DDAを常時動作させ続けながら画像メモリに対するデータの書込みをも連続的に行なわせることができる。

また、DDAからスキャンラインに対して傾斜した方向に連続する画素データが順次生成される場合には、同一のスキャンラインに属する画素データについては、上記と同様にスキャンラインに対応するダブルバッファメモリに供給することができ、スキャンラインが変化した場合には、異なるダブルバッファメモリに供給することができる。そして、スキャンラインが変化する場合には、順次異なるダブルバッファメモリが選択されるのであるから、元のダブルバッファメモリが再び選択されるまでには、スキャンラインが $n$ 回変化することになり、それまでの間に画像メモリに対するデータの書込みを完了することができるので、DDAによる演算動作の停止を伴うことなく、上記一連の動作を反映することができる。

#### <実施例>

以下、実施例を示す添付図面によって詳細に説明する。第1図は画像メモリ書込み制御装置の一実施例を示すブロック図であり、DDA(1)から出力される画素データを複数個のダブルバッファメモリ(21)(22)...(2n)に供給しているとともに、各ダブルバッファメモリ(21)(22)...(2n)から、全体として画像メモリ(3)を構成する複数個のブロックメモリ(31)(32)...(3n)に対して保持データを供給するようにしており、さらに、上記DDA(1)から出力されるアドレスデータを入力として所定のデコード処理を施し、対応するダブルバッファメモリ、およびブロックメモリに書込み制御信号を供給するタイミング制御回路(41)(42)...(4n)を設けている。尚、上記各タイミング制御回路は、DDA(1)から出力されるアドレスデータを入力として、スキャンライン方向のアドレスデータ(以下、 $x$ 座標データと略称する)、およびスキャンラインと直角な方向のアドレスデータ(以下、 $y$ 座標データと略称す

る)をそれぞれデコードするものであり、 $x$ 座標の所定桁データ(最下位桁を基準として、ダブルバッファメモリの容量に基いて定まる所定桁だけ上位の桁のデータ)に対応するデコード信号に基いてダブルバッファメモリ切替え制御信号を生成するとともに、ブロックメモリに対するデータ書込み制御信号を生成し、 $y$ 座標の最下位桁データに対応するデコード信号に基いてダブルバッファ選択制御信号、およびダブルバッファメモリ切替え制御信号を生成するとともに、ブロックメモリに対するデータ書込み制御信号を生成し、さらに、線分描画終了信号(DDA(1)の制御カウンタが0になったことを示す信号)に対応するデコード信号に基いてダブルバッファメモリ切替え制御信号を生成するものである。また、上記各ブロックメモリ(31)(32)...(3n)は、それぞれデュアルプレーン構成であり、1つの画像を表示している間に、他の画像データの書込みを行なうことができるようにしている。

上記の構成の画像データ書込み制御装置の動作は次のとおりである。

スキャンライン方向に連続する画素データがDDA(1)から順次生成されている状態においては、1つのタイミング制御回路のみが書込み制御信号を生成し、所定数の画素データが生成される毎にダブルバッファメモリを切替えて、一方のバッファメモリにDDA(1)からの生成画素データを供給している間に、他方のバッファメモリからブロックメモリに対して複数個の画素データを一括して書込むことができる。したがって、DDA(1)による演算動作を全く中断することなく、所定数の画素データを一括して画像メモリ(3)に書込むことができる。スキャンラインに対して所定角度傾斜した方向に連続する画素データがDDA(1)から順次生成されている状態においては、同一のスキャンラインに属する画素データが連続的に生成されている間、該当するタイミング制御回路が書込み制御信号を生成してダブルバッファメモリへの画素データの供給、およびダブルバッファメモリからブロックメモリへの画素データの書込みを行なわせることができる。そして、隣のスキャンラインに属する画素データが生成された場合には、該当するタイミング制御回路が書込み制御信号を生成してダブルバッファメモリへの画素データの供給、およびダブルバッファメモリからブロックメモリへの画素データの書込みを行なわせることができる。

以下、生成される画素データが属するスキャンラインが変化する毎に書込み制御信号を生成するタイミング制御回路が変化し、スキャンラインに対して所定角度傾斜した方向に連続する画素データを画像メモリに書込むことができる。

即ち、各ダブルバッファメモリに供給される画素データ数はダブルバッファメモリの容量に基いて定まる限度数よりも一般的に少なくなるのであるが、同一のダブルバ

ッファメモリに画素データが供給されるまでの時間が、ダブルバッファメモリからブロックメモリに対するデータ書込み所要時間より短くない時間に設定されていれば、DDA ( 1 ) による演算動作を全く中断することなく、ダブルバッファメモリに保持されている画素データを一括して画像メモリ ( 3 ) に書込むことができる。そして、以上のようにして1つの画像データが書込まれた場合には、該当する画像メモリプレーンから画像データを読み出して画像表示を行なわせることができ、画像表示を行なっている間に他方の画像メモリプレーンに対して次の画像データの書込みを行なわせることができる。第2図Bは、画像メモリ ( 3 ) が4つのブロックメモリ ( 31 ) ( 32 ) ( 33 ) ( 34 ) に分割されている場合に対応するデータ書込み動作を説明する図であり、第2図Aに示す画素データがDDA ( 1 ) から順次生成される場合に対応している。

DDA ( 1 ) から画素データP1が生成されれば、ダブルバッファメモリ ( 21 ) の一方 ( 以下、A面と略称する ) に供給される。次に画素データP2が生成されれば、スキャンラインが変化しているため、ダブルバッファメモリ ( 22 ) のA面に供給されるとともに、上記ダブルバッファメモリ ( 21 ) のA面がデータ読み出し側に切替えられ、ブロックメモリ ( 31 ) に書込まれる。次に画素データP3が生成されれば、スキャンラインは変化していないが、x座標方向のビットバウンダリを越えているため、ダブルバッファメモリ ( 22 ) のB面に供給されるとともに、A面が読み出し側に切替えられてブロックメモリ ( 32 ) に書込まれる。さらに画素データP4が生成されれば、スキャンラインが変化しているため、ダブルバッファメモリ ( 23 ) のA面に供給される。次に画素データP5, P6が生成されれば、両画素データの間でスキャンラインが変化していないとともに、x座標方向のビットバウンダリも越えていないので、生成される順にダブルバッファメモリ ( 24 ) のA面に供給される。その後、画素データP7が生成されれば、ダブルバッファメモリ ( 21 ) のB面に供給される。そして、この場合において、上記ダブルバッファメモリ ( 22 ) のA面からブロックメモリ ( 32 ) への書込みが終了しているため、ダブルバッファメモリ ( 22 ) のB面が読み出し側に切替えられてブロックメモリ ( 32 ) への書込みが行なわれるとともに、上記ダブルバッファメモリ ( 24 ) のA面がデータ読み出し側に切替えられ、ブロックメモリ ( 34 ) に書込まれる。

以下、同様にしてダブルバッファメモリへの画素データの供給、およびダブルバッファメモリに保持されている画素データのブロックメモリへの書込みを行なわせることができる。

さらに詳細に説明すると、DDA ( 1 ) から出力されるアドレスデータの特定の桁の内容の変化は、第3図Aに示すように、DDA加算器 ( 11 ) からの出力データを順次レジスタ ( 51 ) ( 52 ) に供給するパイプライン構成を採用

しておくことにより容易に行なうことができる。

即ち、第3図Bに示すように、上記レジスタ ( 51 ) ( 52 ) としてDタイプのフリップフロップ ( 以下、D - FF と略称する ) を使用し、第1段目のD - FF ( 51 ) のD入力端子にDDA加算器 ( 11 ) から出力される1桁目のデータを供給し、第1段目のD - FF ( 51 ) のQ出力信号を第2段目のD - FF ( 52 ) のD入力端子に供給し、さらに、両D - FF ( 51 ) ( 52 ) のタイミング入力端子にDDAクロック信号を供給する構成を採用すれば、両D - FF ( 51 ) ( 52 ) のQ出力信号a1, b1、および $\bar{Q}$ 出力信号 $\bar{a}1, \bar{b}1$ が得られる。そして、得られた信号b1、および $\bar{a}1$ をANDゲート ( 53 ) に供給するとともに、信号a1、および $\bar{b}1$ をANDゲート ( 54 ) に供給し、両ANDゲート ( 53 ) ( 54 ) からの出力信号をNORゲート ( 55 ) に供給することにより、特定桁変化を検出する検出フラグを生成することができる。

第4図はy座標の最下位桁の変化、x座標の最下位桁から所定数だけ上位桁の変化、および線分描画終了を、y座標の下位桁が所定の値である場合にのみ検出する回路構成を示しており、x座標用のDDA加算器 ( 56 )、y座標用のDDA加算器 ( 57 ) からの出力データを、それぞれ第3図の構成と同じ構成の回路に供給しているとともに、DDAダウンカウンタ ( 58 ) から出力されるフラグ ( ダウンカウンタ ( 58 ) の内容が0の場合にハイレベルになるオーバーフローフラグ )、およびDDAから出力されるy座標データを入力として下位桁の内容が所定のブロックメモリに対応する値となった場合にハイレベルになるデコーダ ( 59 ) からの出力信号をANDゲート ( 60 ) に供給している。そして、上記デコーダ ( 59 ) からの出力信号を全てのANDゲートに供給しているとともに、全てのANDゲートからの出力信号をNORゲート ( 61 ) に供給している。

したがって、上記の構成を採用した場合には、デコーダ ( 59 ) からの出力信号がハイレベルの場合において、y座標の最下位桁の変化、x座標の所定桁の変化、および線分描画終了に対応してNORゲート ( 61 ) から負論理のダブルバッファメモリ切替えタイミング検出フラグを出力することができる。

尚、第4図に示すデコーダ、およびAND - OR - INVERTER は簡単にPAL ( Programable Alley Logic ) 化することができる。

第5図は上記の実施例において例示された回路構成により生成されたダブルバッファメモリ切替えタイミング検出フラグに基いてDDAを停止させることなく、DRAMのタイミング制御、およびダブルバッファメモリ切替えを行なわせるための回路構成を示す図であり、8つのD - FF ( 71 ) ( 72 ) ... ( 78 ) を有している。なお、第4図の回路構成と第5図の回路構成とで1つのダブルバッファメモリ、およびブロックメモリに対応するタイミング制御回路を構成している。

上記D - FF (71) は、図示しないICRTコントローラから出力される水平同期信号  $\overline{HSYNC}$  (第6図C参照) をタイミング入力とし、かつリード転送、或はリフレッシュを受付けたか否かを示すハンドシェーク信号  $\overline{HS1}$  (第6図Q参照) をクリア入力として、DRAMに対するリード転送、或はリフレッシュの要求が発生しているか否かを示すQ出力信号Q1 (第6図H参照) を生成するものであり、このQ出力信号Q1はそのまま、サンプリングストロブ信号SRCK (第6図L参照) をタイミング入力とするD - FF (72) のD入力端子に供給され、DRAMに対する書き込みサイクルか、リード転送、リフレッシュサイクルかを示すQ出力信号Q2 (第6図M参照) を生成する。

上記D - FF (73) (74) はダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  (第6図F参照) を保持するものであり、互に選択的に動作する点を除けば、互に同一の動作を行なうようにしてある。即ち、上記D - FFの $\overline{Q}$ 出力信号を制御信号とするNANDゲート(79)を通してダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  がD入力端子に供給されているとともに、1画素毎にレベルが変動するDDA画素ストロブ信号DDARCK (第6図G参照) がORゲート(80)を通してタイミング入力端子に供給されており、しかも、メモリ書き込みサイクルが受付けられたことを示す負論理のハンドシェーク信号  $\overline{HS2}$  (第6図R参照) がORゲート(81)、およびANDゲート(82)を通してクリア入力端子に供給されている。そして、一方のD - FFに対応させて、D - FF (78) から出力されるQ出力信号SELA (第6図D参照)、および $\overline{Q}$ 出力信号SELB (第6図E参照) がそれぞれORゲート(80) (81) に供給されており、他方のD - FFに対応させて、D - FF (78) から出力されるQ出力信号SELA、および $\overline{Q}$ 出力信号SELBがそれぞれORゲート(81) (80) に供給されている。

したがって、ORゲート(80)に供給されているQ出力信号SELA、或は $\overline{Q}$ 出力信号SELBの内、ローレベルである側のD - FFがデータ保持用として選択され、DDA画素ストロブ信号DDARCKの立上りのタイミングでダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  が取込まれる。但し、上記ダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  は、 $\overline{Q}$ 出力信号により制御されるNANDゲート(79)を通して供給されるので{信号BF1、BF2 (第6図I、J) 参照}、バッファメモリの状態が発生しそうなタイミングでD入力端子に供給されると同時に後述するORゲート(83)に供給され、そのままホールドされる。

上記D - FF (75) は、次のダブルバッファメモリ切替え状態に対応するQ出力信号Q3を生成するものであり、 $\overline{Q}$ 出力信号をD入力端子に供給しているとともに、上記負論理のハンドシェーク信号  $\overline{HS2}$  がタイミング入力端子に供給されている。

上記D - FF (76) (77) は、グリッジを発生させることなく、クロックに同期したサンプリングストロブ信号SRCKを生成するものであり、メモリサイクル終了の2クロック前を示す負論理パルス信号  $\overline{MBF2}$  (第6図O参照) がD - FF (76) のタイミング入力端子に供給されているとともに、メモリサイクル中に必ず1回発生する負論理パルス信号  $\overline{CAS}$  {例えば、DRAMのカラムアドレスストロブ信号(第6図P参照)} がプリセット入力端子に供給されている。そして、上記D - FF (71) のQ出力信号Q1、および両D - FF (73) (74) に対応するNANDゲート(79)からの出力信号をORゲート(83)を通してD - FF (77) のD入力端子に供給しているとともに、D - FF (76) (77) の $\overline{Q}$ 出力信号、およびサンプリングクロック信号SCK (第6図A参照) を入力とするNANDゲート(84)からの出力信号をサンプリングストロブ信号SRCKとして出力し、D - FF (77) のタイミング入力端子にも供給している。そして、上記負論理パルス信号  $\overline{CAS}$  がD - FF (77) のクリア入力端子に供給されている。また、D - FF (77) のQ出力信号を、立上りのタイミングでメモリサイクルが開始することを示すスタート信号(第6図N参照)として出力している。

上記D - FF (78) はダブルバッファメモリ切替え用の信号SELA、SELBをそれぞれQ出力信号、 $\overline{Q}$ 出力信号として出力するものであり、上記D - FF (75) のQ出力信号がD入力端子に供給されているとともに、上記サンプリングストロブ信号SRCKがタイミング入力端子に供給されており、しかも、上記ORゲート(83)からの出力信号ACDM (第6図K参照) がインバータ(85)を通してG入力端子に供給されている。

したがって、G入力端子に供給される信号がハイレベルで、しかもサンプリングストロブ信号SRCKが立上るタイミングで上記D - FF (75) からのQ出力信号を保持し、このQ出力信号のレベルに対応させて、互に逆レベルとなるQ出力信号SELA、および $\overline{Q}$ 出力信号SELBを継続的に出力する。

さらに、負論理の初期化信号  $\overline{RESET}$  (第6図B参照) が上記D - FF (71) (73) (74) ... (78) のクリア入力端子にそれぞれ供給されている。

第5図に示す回路の動作は次のとおりである。

先ず、電源投入時、或は処理中断時等に、初期化信号  $\overline{RESET}$  により必要な初期化を行なう。

その後は、負論理のハンドシェーク信号  $\overline{HS2}$  がタイミング入力端子に供給される毎にD - FF (75) のQ出力信号のレベルが交互に変化するので、G入力端子にローレベル信号が供給され、かつサンプリングストロブ信号SRCKが立上るタイミングでD - FF (78) が上記Q出力信号を保持し、Q出力信号のレベルに対応するQ出力信号SELA、および $\overline{Q}$ 出力信号SELBを出力することができる。したがって、Q出力信号SELA、および $\overline{Q}$ 出力信号SE

LBのレベルに基いてD - FF (73) (74) の何れかが選択される。即ち、ORゲート (80) にローレベル信号が供給されている側のD - FFが選択される。

そして、選択された側のD - FFには、 $\overline{Q}$ 出力信号により制御されるNANDゲート (79) を通して、D入力信号として、ダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  が供給されているとともに、ORゲート (80) を通して、タイミング入力信号として、DDA画素スト

ローブ信号DDARCKが供給されているのであるから、DDA画素ストローブ信号DDARCKの立上りのタイミングでダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  を取込み、そのまま保持する。また、上記、ダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$

は、D - FFのQ出力端子から取出されるのではなく、NANDゲート (79) の出力端子からそのまま取出されるのであるから、1画素分の遅れを伴うことなく、バッファメモリフルが発生するタイミングでORゲート (83) に供給され、D - FF (77) のD入力端子に供給されることにより、Q出力端子から、メモリサイクルの開始を示すスタート信号を出力することができる。

そして、負論理のハンドシェーク信号  $\overline{HS2}$  がタイミング入力端子に供給される毎に、D - FF (73) (74) の選択状態を切替えて、上記一連の動作を行なわせることができる。

具体的には、水平同期信号  $\overline{HSYNC}$  がタイミング入力として供給されることにより、D - FF (71) がリード転送或はリフレッシュの要求が発生していることを示すQ出力信号Q1を出力する。そして、リード転送、或はリフレッシュを受付けたことを示すハンドシェーク信号  $\overline{HS1}$  が入力として受付けられることにより、D -

FF (71) のQ出力信号Q1をクリアする。また、Q出力信号Q1がD入力端子 (72) に供給されているD - FF (72) のクロック入力端子にサンプリングストローブ信号SRCKが供給されることにより、D - FF (72) がリード転送或はリフレッシュの要求を示すQ出力信号Q2を出力する。

上記信号Q1はORゲート (83) を通して信号ACDMとして出力され、D - FF (78) のG入力端子に供給されるが、D - FF (75) にはこの場合ハンドシェーク信号  $\overline{HS2}$  が入力されず、Q出力信号Q3のレベルは変化しないので、D - FF (78) から出力されるダブルバッファ切替え用の信号SELA、SELBは変化しない。即ち、ダブルバッファの切替えは指示されない。上記信号ACDMはD - FF (77) のD入力端子に供給され、D - FF (76) の $\overline{Q}$ 出力信号 (反転信号) およびD - FF (77) の $\overline{Q}$ 出力信号 (反転信号) により開かれるNANDゲート (84) にサンプリングクロック信号SCKを供給して得たサンプリングストローブ信号SRCKをD - FF (77) のクロック入力端子に供給することにより、D - FF (77) のQ出力端子からメモリサイクルの開始を示すスタート信号を出力する。

したがって、リード転送、或はリフレッシュ要求である

場合には、メモリサイクルの開始を示すスタート信号に応答してリード転送、或はリフレッシュを行なわせることができる。

逆に、書込みサイクルである場合には、以下の動作を行なう。

書込みサイクル受付を示すハンドシェーク信号  $\overline{HS2}$

が供給されれば、D - FF (75) のクロック入力端子に供給されることによりQ出力信号Q3のレベルが反転する。

しかし、D - FF (78) はQ出力信号Q3のレベルが反転し、しかも、G入力端子に供給される信号ACDMがローレベル、かつサンプリングストローブ信号SRCKが立上るタイミングでのみ出力信号のレベルが反転される。ここで、書込みサイクルが受けられる状態であれば、DDAが動作しているのであるから、DDA画素ストローブ信号D

DARCKが、信号SELA、SELBのうち、ローレベルである信号が提供されているORゲート (80) を通して該当するD - FFのクロック入力端子に供給され、データ保持用として選択される。したがって、図3または図4に示す回路から出力される検出フラグ (ダブルバッファメモリ切

替えタイミング検出フラグ  $\overline{BOVF}$  ) がNANDゲート (79) を通して信号BF1またはBF2として供給されることによりこの信号をD入力端子を通して取込み、保持する。また、この信号BF1またはBF2は同時にORゲート (83) に供給され、ローレベルの信号ACDMを出力するの

で、直ちに信号SELA、SELBのレベルが反転される。その後は、他方のD - FFがデータ保持用として選択され、同様の動作を行なう。以上から明らかなように、書込みサイクルが受けられた場合には、ダブルバッファメモリ切替えタイミング検出フラグ  $\overline{BOVF}$  に基いて直ちに信号SELA、SELBのレベルを反転させることによりダブルバッファメモリの切替えを行なうことができるとともに、直ちにスタート信号を出力することができ、DDAを停止させることなく、DRAMのタイミング制御、およびダブルバッファメモリの切替えを行なわせることができる。

第6図は第5図の回路の各部の動作を説明するタイミングチャートであり、T1の期間において画像データを読み出すリード転送動作が行なわれ、T2、T3の期間において画像データの書込み動作が行なわれている。

したがって、第4図、および第5図に示す構成のタイミング制御回路を各ブロックメモリに対応させて設けることにより、DDA (1) の演算動作を停止させることなく、生成された画素データの画像メモリ (3) に対する

書込み動作を順次行なわせることができる。即ち、描画線分の傾斜による影響を排除して、どのような線分であっても、1画素当りに換算して、DDA (1) の演算所要時間と等しい時間で画像メモリ (3) に対する書込みを行なわせることができる。

グラフィックディスプレイ装置において2048×1024画素の画像メモリを得ようとすれば、256KビットのDRAMを8

個使用して1つの画像メモリを構成し、1画面分の画素データを記憶するようにしているとともに、ダブルバッファメモリとして $1 \times 8$ ビットのものを2個一組として使用している。そして、上記画像メモリとして、表示中の画素データを記憶しておくためのプレーンと、次の表示を行なうための画素データを書込むためのプレーンとからなるデュアルプレーン構成が採用され、各プレーン共に256KビットのDRAMを8個で構成されている。

したがって、上記のようにデュアルプレーン構成のまま、各プレーンについて、画面メモリを8つのブロックメモリに分割し、各ブロックメモリに対応させてダブルバッファメモリ、およびタイミング制御回路を設けようとしても、各画像メモリ全体としての入力ビット幅が小さいため、適用することができない。即ち、256KビットのDRAMの入力ビット幅は4ビットに設定されているのであるから、各画像メモリ全体としての入力ビット幅は32ビットしかないことになる。

しかし、 $1 \times 8$ ビットのダブルバッファメモリを8個設けた場合には、ダブルバッファメモリ全体としてのビット幅が64ビットになるため、到底1対1の対応関係を確保することができず、1プレーン当り16個のDRAMを使用しなければならなくなってしまうので、必要以上にメモリを必要とすることになってしまうという問題がある。即ち、メモリ容量の観点からは8個のDRAMで十分であるにも拘らず、ビット幅について1対1の対応関係を確保するという観点からは16個のDRAMが必要になってしまう。そして、この構成をデュアルプレーン構成の画像メモリに適用しようとすれば、DRAMの必要個数が32になってしまう。

このような問題を解消して、しかも、画像メモリとして、デュアルプレーン構成を確保するとともに、十分な入力ビット幅を確保するために、DRAM単位で各プレーンの区画を行なうのではなく、各DRAMの内部において、各プレーンの区画を行ない、DRAMに供給する行(row)アドレスの最上位ビットデータに基いて何れのプレーンに対するアクセスを行なうべきかを制御する構成を採用した(第7図A参照)。

第7図Bはさらに詳細に説明する図であり、タイミング制御回路CNT0、CNT1...CNT7を設けているとともに、各タイミング制御回路に対応させてダブルバッファメモリDB0、DB1...DB7を設け、さらに、各ダブルバッファメモリに対応させて16個のDRAM0、DRAM1...DRAM15を、それぞれ...DRAMj - 2、DRAMj - 1、DRAMj、DRAMj + 1、DRAMj + 2...に区画している。尚、DRAMの偶数番目と奇数番目とが対になって各ダブルバッファメモリにそれぞれ対応させられており、しかも、各タイミング制御回路に対応させられている。もちろん、各DRAMの内部において各プレーンの区画(第7図Aに示すAプレーン、Bプレーンの区画)が行なわれている。また、上記各タイミング制御回路は、DDA(1)から出力されるx座標、およびy座

標の上位アドレスデータに基いて、ダブルバッファメモリに供給された画素データを書込むべきDRAM上のアドレスデータ...j - 2、j - 1、j、j + 1、j + 2...を保持しておくとともに、DRAMに供給する行(row)アドレスの最上位桁のデータに基いてプレーンを選択するためのデータをも保持しておくものである。

したがって、上記実施例の場合と同様に、y座標の最下位桁が変化したこと、x座標の下4桁目が変化したこと、或は線分描画が終了したことを条件としてDDA

(1)から出力される画素データを何れかのダブルバッファメモリの、一方のバッファメモリに供給するとともに、他方のバッファメモリに保持されている画素データを一括して対応するDRAMに書込むことができ、全体として、DRAMに対する1画素当りのデータ書込み所要時間を、DDA(1)による1画素分の演算所要時間と等しくすることができる。

また、画像メモリのデュアルプレーン構成を採用するのに必要十分な個数(16個)のDRAMを採用し、かつ各プレーンの入力ビット幅とダブルバッファメモリ全体としてのビット幅との間における1対1の対応関係を確保することができる。

この結果、DRAMに対するリフレッシュ動作期間、および表示のためにDRAMから画素データを読出す期間についてはDDA(1)による演算動作を停止させなければならないが、上記以外の期間については、DDA(1)による演算動作を停止させることなく、画素データの生成、および生成された画素データのDRAMへの書込みを行なわせることができる。しかも、上記DRAMのリフレッシュ動作期間については、予め定められているのであるから、予知することが可能であり、DDAの制御クロックを予め間引いておくだけで対処することができるので、上記期間を識別するためのハンドシェイクを不要とし、画像メモリへのデータ書込み所要時間を一層短縮することができる。

また、上記の実施例において、DRAMとして、デュアルポートDRAMを使用すれば、表示のための読出し所要時間を大巾に短縮することができ、98%程度の時間をデータ書込みのために割当てることができるので、全体として、画像メモリに対するデータ書込み所要時間を短縮することができる。

尚、この発明は上記の実施例に限定されるものではなく、例えば、 $2 \times 8$ ビットのバッファメモリによりダブルバッファメモリを構成することが可能である外、グラフィック・ディスプレイ装置において要求される解像度に対応してDRAM自体の記憶容量、DRAMの数、ダブルバッファメモリ自体の記憶容量、ダブルバッファメモリの数、およびタイミング制御回路の数を変化させることが可能であり、さらに、DRAMの入力ビット幅が大きい場合には、DRAMの内部を区画して複数個のブロックメモリを構成することが可能であり、その他、この発明の要旨を

変更しない範囲内において種々の設計変更を施すことが可能である。

< 発明の効果 >

以上のようにこの発明は、画像メモリを複数のブロックメモリで構成しておくとともに、各ブロックメモリに対応させてダブルバッファメモリ、およびDDAから出力される座標データに基づいてダブルバッファメモリ、およびブロックメモリに対する切替え制御信号、選択信号を生成するタイミング制御手段を設けているので、ブロックメモリの性質上やむを得ない期間を除いてDDAによる演算動作を停止させることなく、順次画素データを生成させることができ、しかも、生成された画素データを、ダブルバッファメモリを介して、一括して画像メモリに書込むことができ、実際の書込み所要時間が長いにも拘らず、全体として1画素当りの書込み所要時間をDDAによる演算所要時間と等しくすることができるという特有の効果奏する。

【図面の簡単な説明】

第1図は画像メモリ書込み制御装置の一実施例を示すブロック図、

第2図AはDDAから順次生成される画素データを一例を説明する図、

第2図Bは、画像メモリが4つのブロックメモリに分割されている場合に対応するデータ書込み動作を説明する図、

第3図AはDDAをパイプライン化した状態を示す概略 \*

\* 図、  
第3図Bはアドレスデータの特定の桁の内容の変化を検出するための回路構成の一例を示す図、

第4図はアドレスデータの特定の桁の内容の変化を検出するための回路構成の他例を示す図、

第5図はダブルバッファメモリ切替えタイミング検出フラグに基づいてDRAMのタイミング制御、およびダブルバッファメモリ切替えを行なわせるための回路構成を示す図、

10 第6図は第5図の回路図の動作を説明するタイミングチャート、

第7図Aは画像メモリのプレーン構成を説明する図、

第7図Bは、第7図Aの構成の画像メモリと、ダブルバッファメモリ、およびタイミング制御回路との関係を示す図、

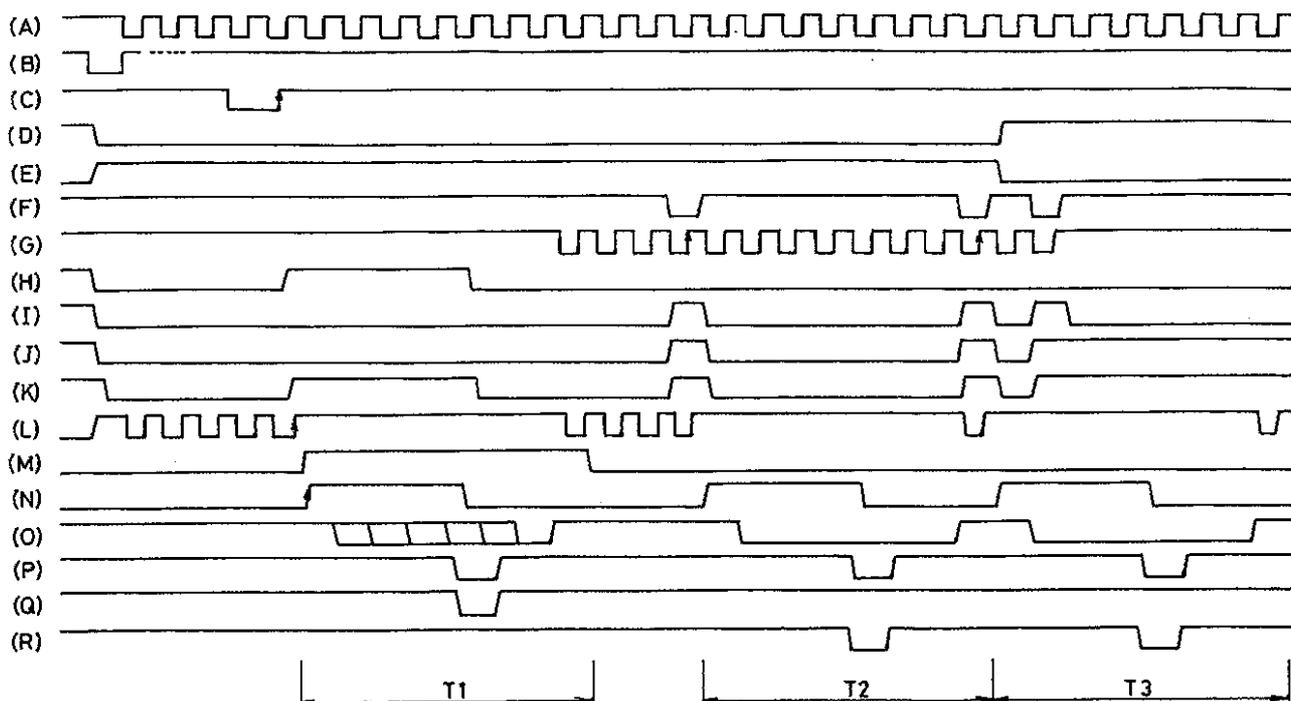
第8図は従来のダブルバッファ方式を概略的に示す図、

第9図は1×8ダブルバッファ方式の動作を説明する図、

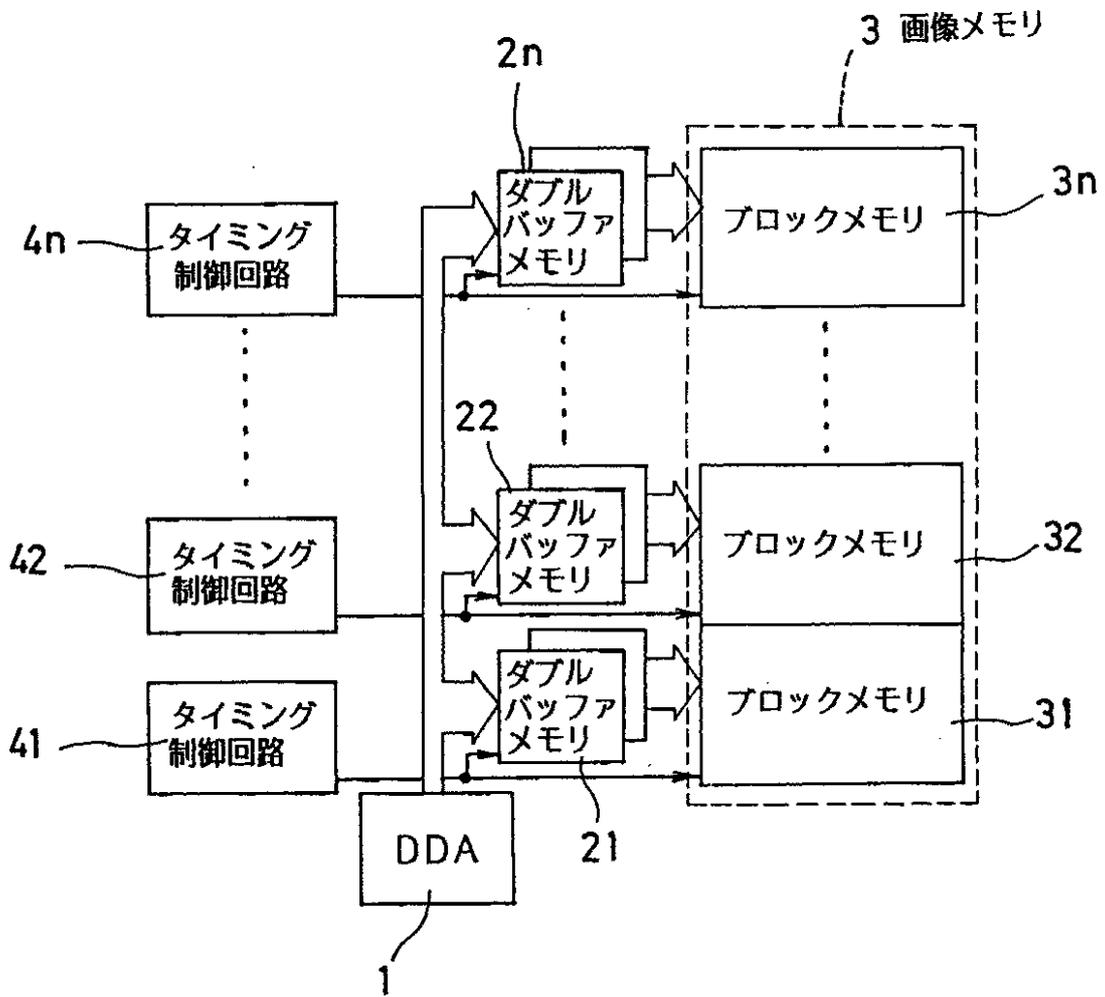
20 第10図は4×4ダブルバッファ方式の動作を説明する図。

- (1) ..... DDA、
- (21) (22) ... (2n) ..... ダブルバッファメモリ、
- (3) ..... 画像メモリ、
- (31) (32) ... (3n) ..... ブロックメモリ、
- (41) (42) ... (4n) ..... タイミング制御回路

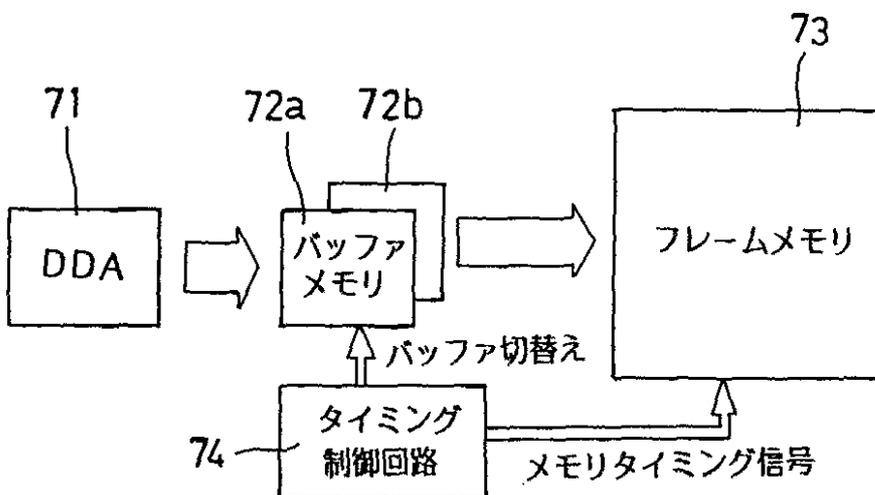
【第6図】



【第1図】

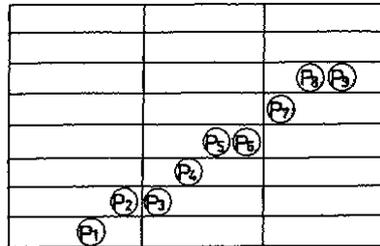


【第8図】

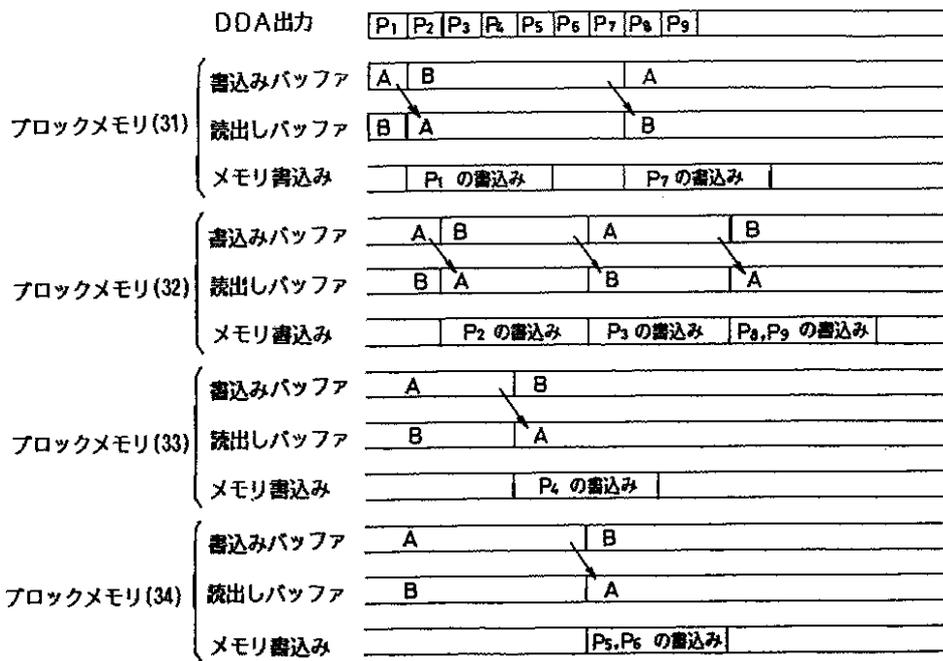


【第2図】

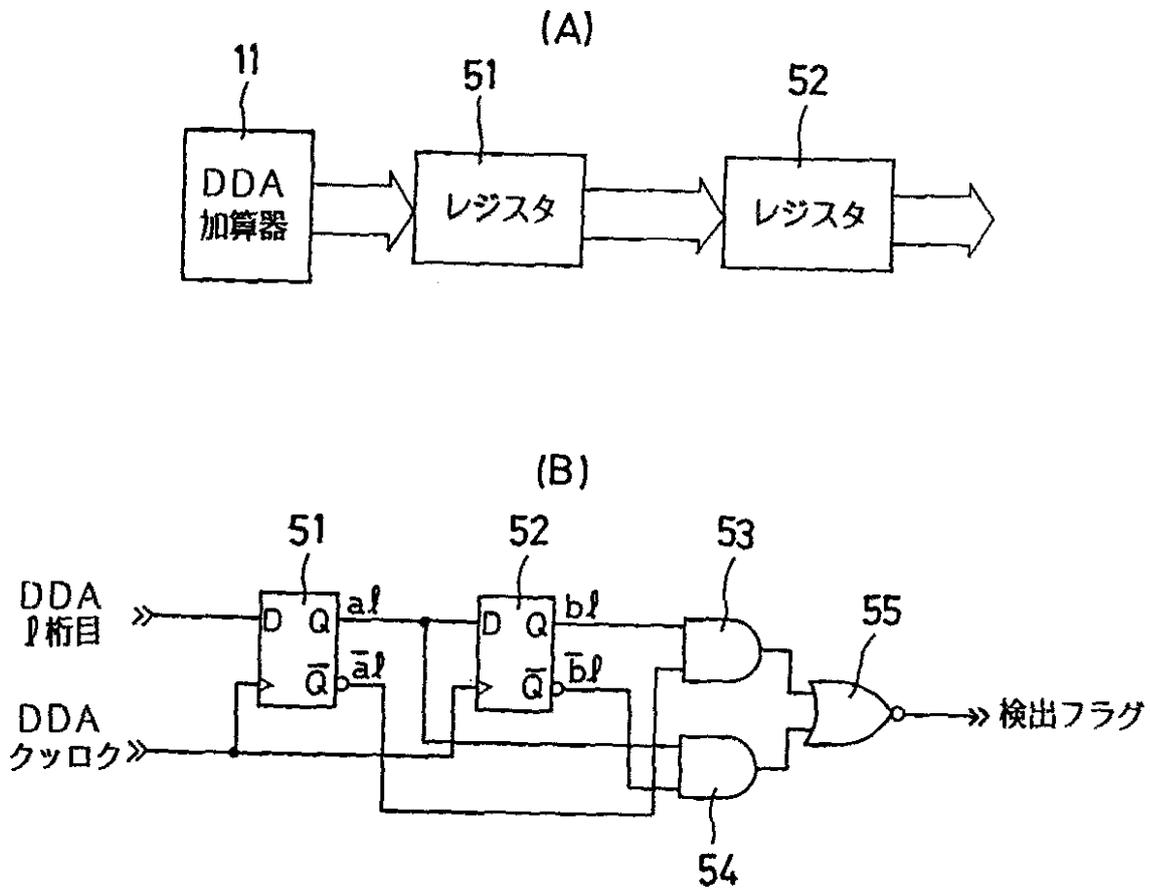
(A)



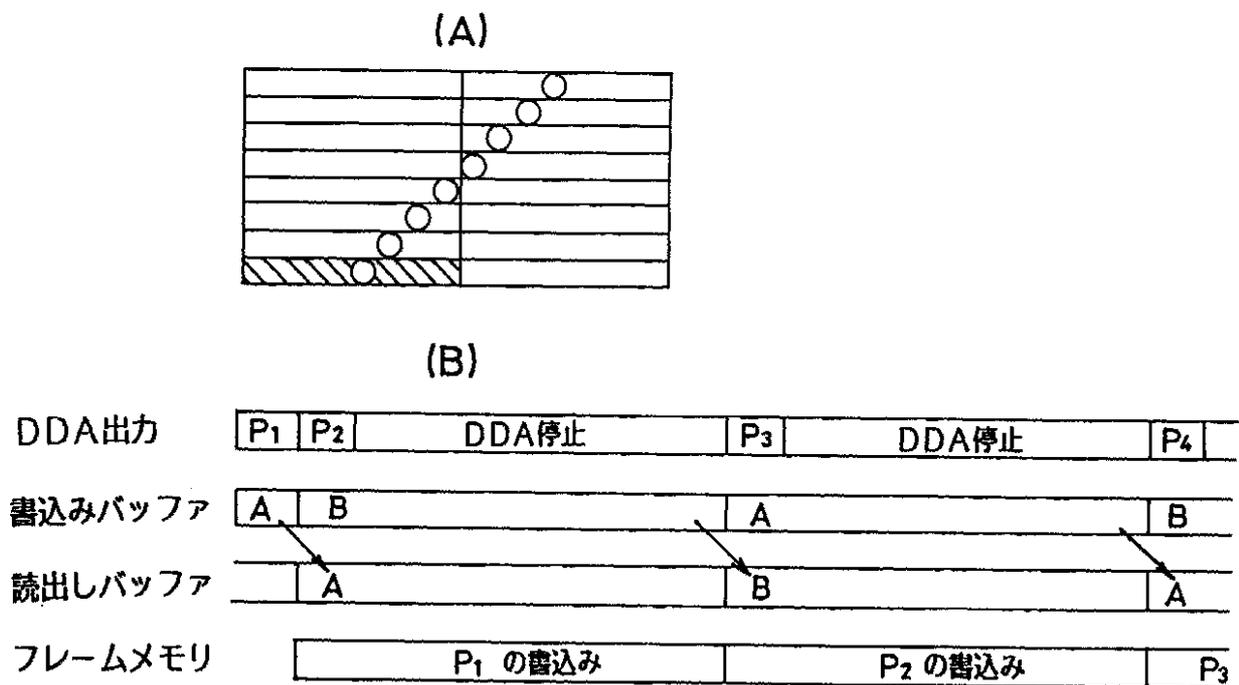
(B)



【第3図】

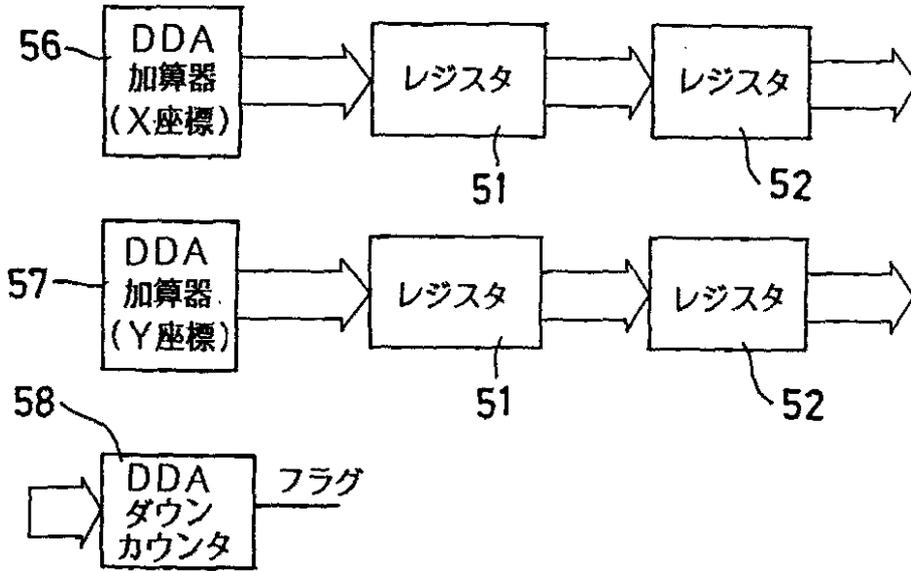


【第9図】

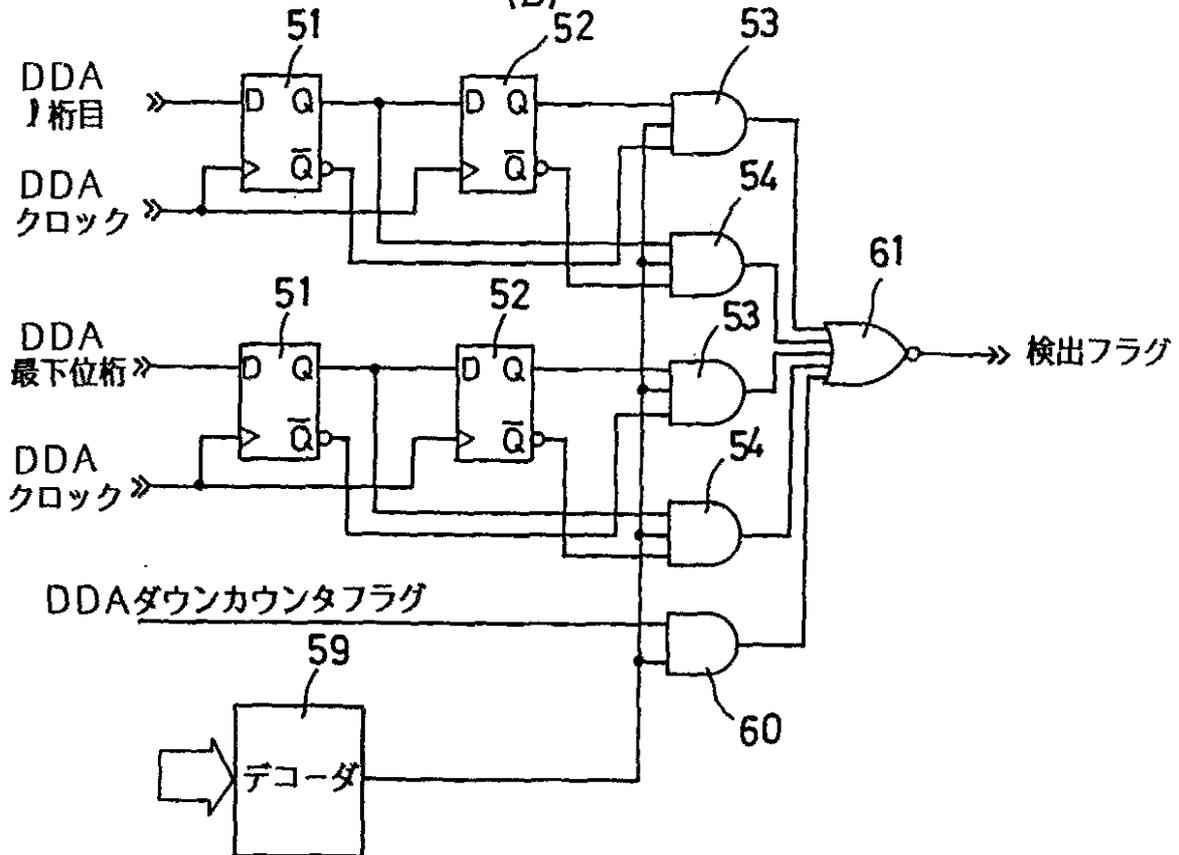


【第4図】

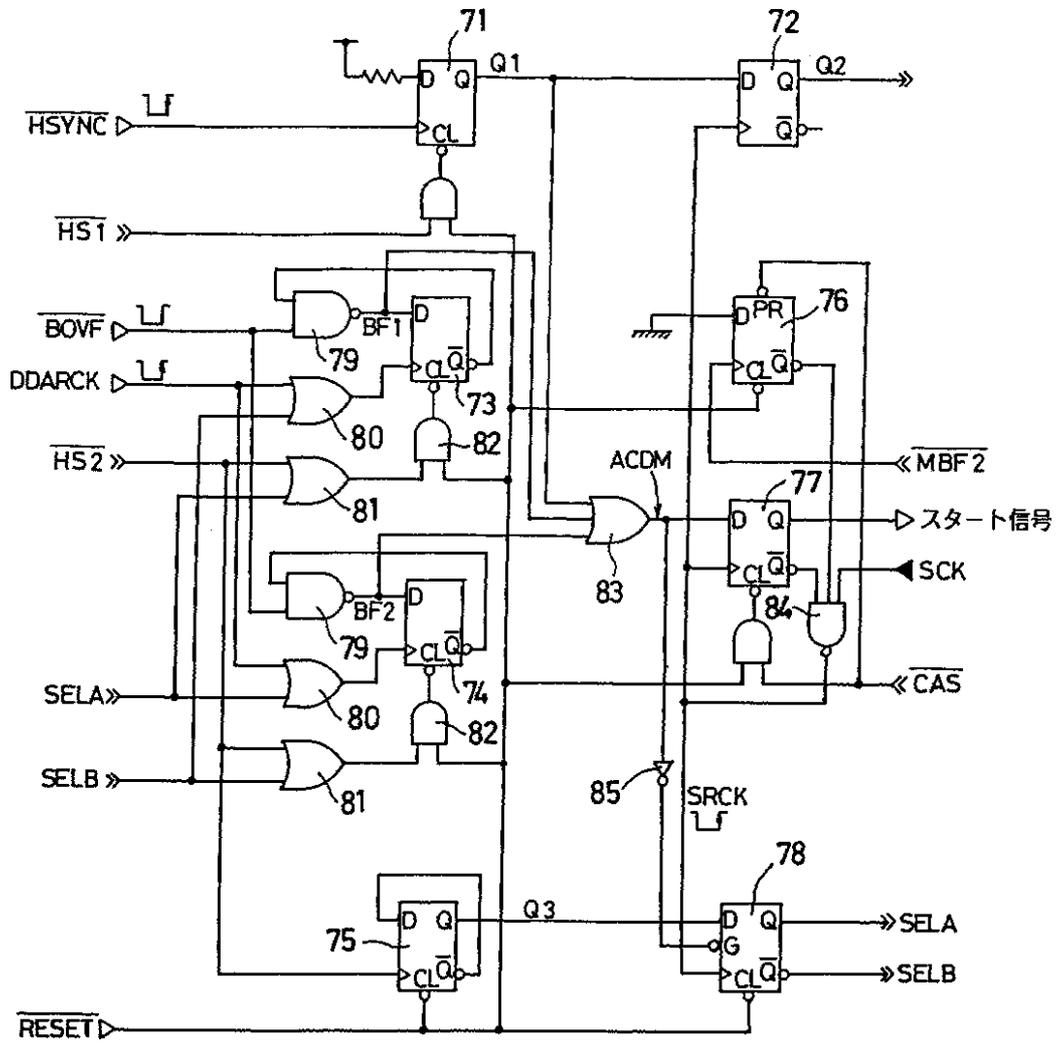
(A)



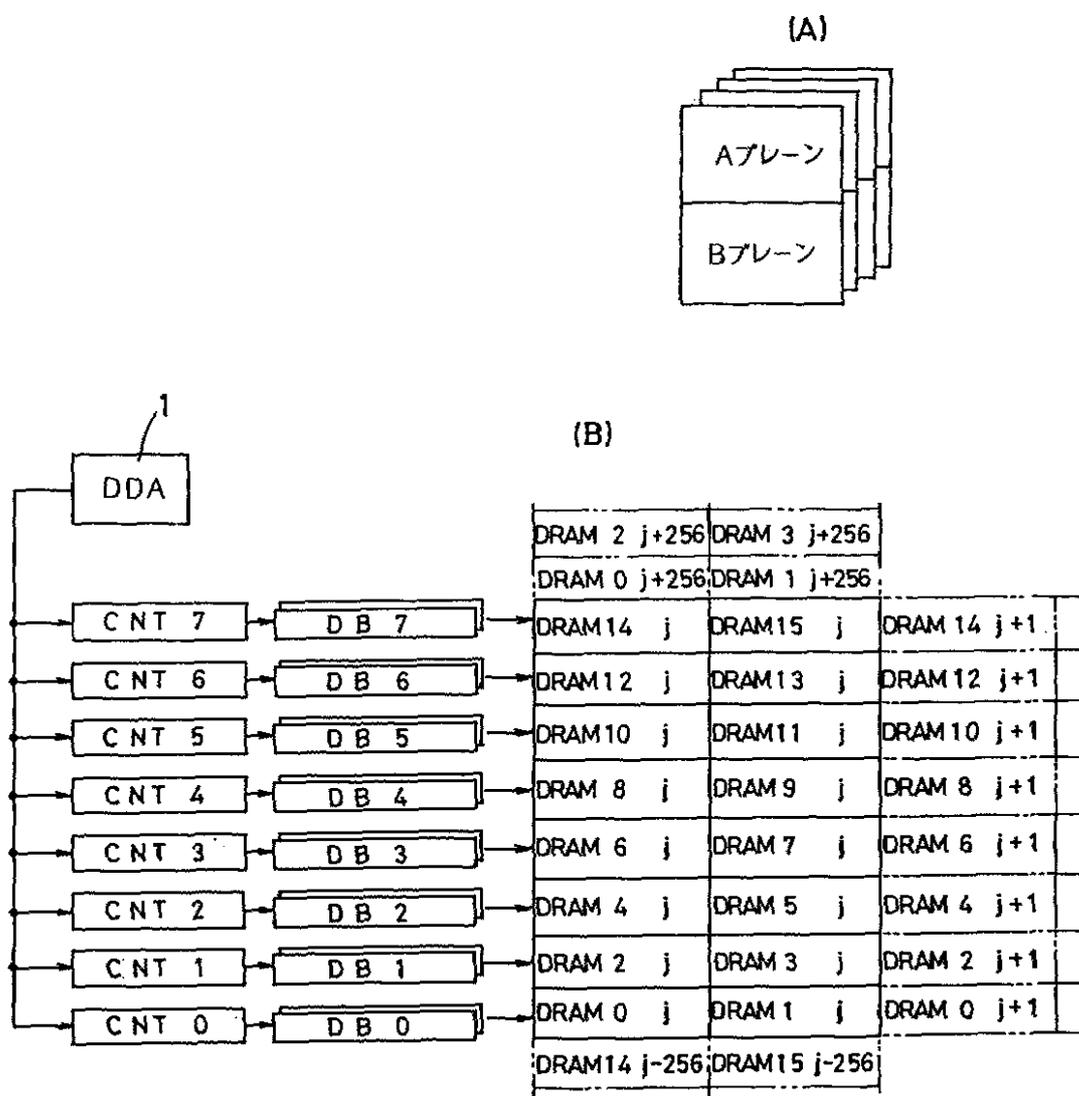
(B)



【第5図】

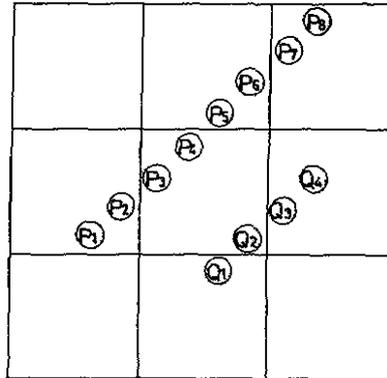


【第7図】



【第10図】

(A)



(B)

