

(19)日本国特許庁 ( J P )

(12) 特 許 公 報 ( B 2 )

(11)特許出願公告番号

特公平7-31598

(24) (44)公告日 平成7年(1995)4月10日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/28	3 1 0 D	7230-5B		
9/22	3 5 0 A	7230-5B		

請求項の数4(全 7 頁)

(21)出願番号	特願昭63-175780	(71)出願人	999999999 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル
(22)出願日	昭和63年(1988)7月14日	(72)発明者	上田 智章 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社滋賀製作所内
(65)公開番号	特開平2-24717	(74)代理人	弁理士 津川 友士
(43)公開日	平成2年(1990)1月26日	審査官	斎藤 操
		(56)参考文献	特開 昭61-157944 ( J P , A )

(54)【発明の名称】 コンピュータ

1

【特許請求の範囲】

【請求項1】供給データに対応するマッピングデータをマッピングメモリ(2)から読出してプログラムメモリ(4)に供給することにより供給データに対応するインストラクションを讀出し、讀出しインストラクションに基づく処理を行なうコンピュータにおいて、プログラムメモリ(4)が外部媒体からプログラムメモリに存在していないインストラクションを取込んで少なくとも一部の領域に格納し得るものであるとともに、マッピングメモリ(2)が上記取込まれる各インストラクションに対応するマッピングデータを取込んで少なくとも一部の領域に格納し得るものであることを特徴とするコンピュータ。

【請求項2】少なくとも一部の領域が、インストラクション、マッピングデータが予め格納されていない余剰領

2

域である上記特許請求の範囲第1項記載のコンピュータ。

【請求項3】プログラムメモリ(4)が、外部媒体からインストラクションを取込んでプログラムメモリ(4)の余剰領域に格納するとともに、プログラム格納アドレスに対応するマッピングデータをマッピングメモリ(2)に格納するロードインストラクションELを有しており、マッピングメモリ(2)が上記ロードインストラクションに対応するマッピングデータを有している上記特許請求の範囲第1項または第2項に記載のコンピュータ。

【請求項4】供給データに対応するマッピングデータをマッピングメモリ(2)から読出してプログラムメモリ(4)に供給することにより供給データに対応するインストラクションを讀出し、讀出しインストラクションに

10

基づく処理を行なうコンピュータにおいて、プログラムメモリ(4)が初期化時に外部媒体からインストラクションを取込んで格納するものであるとともに、マッピングメモリ(2)が各プログラム格納アドレスに対応するマッピングデータを格納するものであることを特徴とするコンピュータ。

#### 【発明の詳細な説明】

##### <産業上の利用分野>

この発明はコンピュータに関し、さらに詳細に言えば、プログラムメモリに格納されている命令セットの変更追加を行ない得るようにした新規なコンピュータに関する。

##### <従来の技術、および発明が解決しようとする課題>

従来から提供されているコンピュータは、複雑な命令セットを実行することができるCISC(Compliment Instruction Set Computer)と単純な命令セットのみを実行することができるようにしたRISC(Reduced Instruction Set Computer)とに大別されている。

このうち、CISCにおいては、1インストラクション当りの実行時間がやや長くかかるものの、複雑な命令セットであっても実行可能であるから、仮想記憶等種々の機能を簡単に実現することができる。しかし、プロセッサ自体が複雑化するために、開発所要時間が著しく長くなってしまい、一般的には、使用者の要求に合致するCISCを製造することが殆ど不可能になってしまうので、専門メーカーが提供しているCISCを使用せざるを得ないという問題がある。そして、CISCを使用すれば、専門メーカーが提供する関連デバイスおよびアセンブラ、コンパイラ、デバッグ、エミュレータ等の開発ツールを用いてシステム設計を行なうことができるので、システム開発を簡素化できるとともに開発所要期間を短くできるという利点を有しているが、システム全体としての処理能力が制限されてしまい、処理能力を大きくすることができないという問題がある。

逆に、RISCにおいては、プロセッサ自体が比較的簡単な構成であるため新規なコンピュータを開発する場合の労力が比較的少なくよく、しかも所要時間が短くなり、また、1インストラクション当りの実行時間が短くなるという利点を有している。しかし、上記の利点を達成するために、単純な命令セットのみを実行可能としているのであるから、ある程度複雑な処理を遂行させようとするれば、複数個のインストラクションを順次フェッチし、フェッチされたインストラクションを順次遂行させることが必要になるため、全体として処理を遂行するための所要時間が長くなり、この結果、処理能力が低下してしまうという問題がある。

さらに詳細に説明すると、汎用コンピュータを用いて外部データメモリをアクセスし、グラフィック処理用のハードウェアを制御する場合についてみれば、目的とする処理に適合するインストラクションが存在しない可能性

が高く、この結果、第4図(A)に示すように、インストラクションのフェッチと外部データメモリのアクセスとを多数回交互に実行しなければならない可能性が高くなる。したがって、上記インストラクションフェッチ所要時間および外部データメモリアクセス所要時間が増加し、所望の処理を遂行するための速度が低下してしまうという問題がある。そして、この問題は、実行可能なインストラクションが簡単なインストラクションのみに限定されているRISCにおいて顕著である。

10 しかしながら、上記汎用コンピュータにおいては、汎用コンピュータのために開発された開発ツール、アプリケーション、オペレーティングシステム(以下、OSと略称する)等のソフトウェア資産と、ペリフェラルデバイス、デバッグ用エミュレータ等のハードウェア資産とを有効活用できるという利点を有しており、しかも特にRISCにおいては、複雑な機能使用のシステムを安価に、かつ短時間で実現できるという利点を有している。

したがって、これらの利点を損なうことなく処理速度を高めることができるコンピュータを得ることができれば理想的であるが、特定の処理を効率よく行なうためのコンピュータを開発すれば汎用性がなくなってしまい、上記の利点が損なわれてしまうことになる。

また、RISCの一種であるビット・スライス・プロセッサについてみれば、十分な処理能力を有するコンピュータを実現することが可能であるが、高機能なシステムを開発しようとするれば、ソフトウェア開発ツールが一般的に不備であるから、ソフトウェアの開発工数が著しく増加し、開発所要時間が著しく長くなってしまいう問題がある。さらに、長大なインストラクションを実行させようとするれば、インストラクションの1ワードのビット幅が大きくなるため基板面積が大きくなってしまい、コストアップを招いてしまう。

##### <発明の目的>

この発明は上記の問題点を鑑みてなされたものであり、汎用コンピュータが有している利点を損なうことなく特定の処理を遂行するための所要時間を著しく短縮することができ、また、所期の機能仕様を満足させるコンピュータを短時間で開発することができ、また、インストラクションおよびマッピングデータを取込ませるために特別の処理を行なう必要がなくなるとともに、外部媒体を変更するだけで、コンピュータ自体を任意の基本命令セットを有する状態にすることができる新規なコンピュータを提供することを目的としている。

##### <課題を解決するための手段>

上記の目的を達成するための、この発明のコンピュータは、プログラムメモリが外部媒体からプログラムメモリに存在してインストラクションを取込んで少なくとも一部の領域に格納し得るものであるとともに、マッピングメモリが上記取込まれた各インストラクションに対応するマッピングデータを取込んで少なくとも一部の領域に

格納し得るものである。

但し、少なくとも一部の領域としては、インストラクション、マッピングデータが予め格納されていない余剰領域であればよい。

そして、プログラムメモリが、外部媒体からインストラクションを取込んでプログラムメモリの余剰領域に格納するとともに、プログラム格納アドレスに対応するマッピングデータをマッピングメモリに格納するロードインストラクションを有しており、マッピングメモリが上記ロードインストラクションに対応するマッピングデータを有していてもよい。

また、プログラムメモリが初期化時に外部媒体からインストラクションを取込んで格納するものであるとともに、マッピングメモリが各プログラム格納アドレスに対応するマッピングデータを格納するものであってもよい。

<作用>

以上の構成のコンピュータであれば、プログラムメモリが外部媒体からプログラムメモリに存在していないインストラクションを取込んで少なくとも一部の領域に格納し得るものであるとともに、マッピングメモリが上記取込まれた各インストラクションに対応するマッピングデータを取込んで少なくとも一部の領域に格納し得るものであるから、外部媒体からインストラクション、マッピングデータを取込むことにより、開発された状態において遂行可能なインストラクションのみならず、新たに取込まれたインストラクションをも遂行することができる。また、新たに取込まれたインストラクションが使用頻度が高いインストラクションの組合せである場合には、一連のインストラクションを1回のインストラクションフェッチのみにより遂行させることができ、処理速度を高速化することができる。したがって、一連のインストラクション数が多い場合には処理速度を著しく高速化することができる。

また、残余の領域には開発当初のインストラクション、マッピングデータが格納されているので、開発当初のインストラクションに基く処理をも遂行することができるのみならず、関連デバイス、開発ツールを使用することもできる。

そして、少なくとも一部の領域が、インストラクション、マッピングデータが予め格納されていない余剰領域である場合には、開発当初のインストラクション、マッピングデータがそのまま保存されることになるので、コンピュータのために開発されたソフトウェア資産およびハードウェア資産、即ち、基本命令セットにより制御可能なソフトウェア、周辺機器等を有効利用することができる。しかも余剰領域に格納された新たなインストラクション、マッピングデータに基く処理をも遂行することができる。

また、プログラムメモリが、外部媒体からインストラク

ションを取込んでプログラムメモリの余剰領域に格納するとともに、プログラム格納アドレスに対応するマッピングデータをマッピングメモリに格納するロードインストラクションを有しており、マッピングデータが上記ロードインストラクションに対応するマッピングデータを有している場合には、マッピングデータに基づいてロードインストラクションを指定し、プログラムメモリから読出して実行することにより、外部媒体からインストラクションおよびマッピングデータを取込むことができ、その後は、取込まれたインストラクションを指定することにより所望の処理を遂行させることができる。

さらに、プログラムメモリが初期化時に外部媒体からインストラクションを取込んで格納するものであるとともに、マッピングメモリが各プログラム格納アドレスに対応するマッピングデータを格納するものである場合には、初期化時に自動的に外部媒体からインストラクションおよびマッピングデータが取込まれるので、インストラクションおよびマッピングデータを取込ませるために特別な処理を行なう必要がなくなるとともに、外部媒体を変更するだけで、コンピュータ自体を任意の基本命令セットを有する状態にすることができる。したがって、システムに組込まれた周辺機器の種類等に最適な基本命令セットを有するコンピュータが簡単に得られることになる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。第1図はこの発明のコンピュータの一実施例を示すブロック図であり、外部から供給されるコマンドデータを保持するインストラクションレジスタ(1)と、インストラクションレジスタ(1)の内容が読出しアドレスデータとして供給される、データの書込みが可能なマッピングメモリ(2)と、マッピングメモリ(2)から出力されるアドレスデータ、後述するパイプラインレジスタ(5)から出力されるアドレスデータ、または他の構成要素から供給されるアドレスデータが供給されるとともに、後述するコントロールロジック(6)から出力されるシーケンサ制御データに基づいて出力データが選択されるシーケンサ(3)と、シーケンサ(3)からの出力データが読出しアドレスとして供給される、データの書込みが可能なマイクロプログラムメモリ(4)と、マイクロプログラムメモリ(4)から読出されたインストラクションが供給されるパイプラインレジスタ(5)と、パイプラインレジスタ(5)からの出力データおよび後述するステータスレジスタ(9)から出力されるステータスデータに基づいてシーケンサ制御データを生成するコントロールロジック(6)と、パイプラインレジスタ(5)から出力されるインストラクションおよびデータレジスタ(8)から出力されるデータに基づいて必要な処理を行なう中央演算処理装置(以下、CPUと略称する)(7)とを有している。そして、上記パイプライン

レジスタ(5)からの出力データをマッピングメモリ(2)およびマイクロプログラムメモリ(4)に供給しているとともに、外部プログラムメモリ(11)、外部データメモリ(12)に格納されているインストラクションをマイクロプログラムメモリ(4)に供給している。また、他の構成要素から供給されるアドレスデータはシーケンサ(3)のみならずマッピングメモリ(2)にも供給されている。さらに、上記CPU(7)から出力されるステータスデータがステータスレジスタ(9)に供給されている。このステータスレジスタ(9)に供給されるステータスデータは、CPU(7)において現在実行しているマイクロインストラクションに含まれているステータスビットであり、このステータスビットがステータスレジスタ(9)に一時的に保持され、ステータスレジスタ(9)からは直前に実行されたマイクロインストラクションに含まれていたステータスビットがステータスデータとして出力される。

尚、(10)はCPU(7)からの出力データに基いてアドレスデータを出力するアドレスレジスタであり、(13)は入出力インターフェースであり、上記インストラクションレジスタ(1)、マッピングメモリ(2)、シーケンサ(3)、マイクロプログラムメモリ(4)、パイプラインレジスタ(5)、コントロールロジック(6)、CPU(7)、データレジスタ(8)、ステータスレジスタ(9)およびアドレスレジスタ(10)でコンピュータ(C)が構成されている。そして、上記コンピュータ(C)は少なくとも汎用コンピュータと同一の外部インターフェースを有しているとともに、汎用コンピュータと同一のインストラクションに従って動作するように設計されている。

さらに詳細に説明すると、上記マッピングメモリ(2)は、インストラクションレジスタ(1)の内容が読出しアドレスとして供給され、パイプラインレジスタ(5)からの出力データが書込みアドレスとして供給されるものであり、しかも外部プログラムメモリ(11)または外部データメモリ(12)から供給されるアドレスデータがアドレス未使用領域(第2図中領域A参照)に格納されるようにしている。上記マイクロプログラムメモリ(4)はシーケンサ(3)からの出力データが読出しアドレスとして供給され、パイプラインレジスタ(5)からの出力データが書込みアドレスとして供給されるものであり、しかも外部プログラムメモリ(11)または外部データメモリ(12)から供給されるインストラクションがプログラム未使用領域(第3図中領域A参照)に格納されるようにしている。

尚、上記マイクロプログラムメモリ(4)の残余の領域Bには予め設定されている基本命令に対応するインストラクションが格納されており、上記マッピングメモリ(2)の残余の領域Bには上記各インストラクションの格納アドレスを示すアドレスデータが格納されている。

上記の構成のコンピュータの動作は次のとおりである。予め設定されている基本命令に基く処理を行なわせる場合には、インストラクションレジスタ(1)に保持されている制御コマンドをマッピングメモリ(2)に供給することにより制御コマンドに対応するアドレスデータを読み出し、シーケンサ(3)に供給するので、シーケンサ(3)から出力されるアドレスデータに基づいてマイクロプログラムメモリ(4)から該当するインストラクションを読み出し、パイプラインレジスタ(5)を通してCPU(7)に供給することにより、データレジスタ(8)から出力されるデータに対して所定の処理を施すことができる。また、基本命令に基く処理を行なうことができるので、基本命令に適用可能な周辺機器はそのまま使用することができる。

したがって、インストラクションE1,E2,E3,E4に基く処理をこの順に実行する場合には、第4図Aに示すように、第1回目のインストラクションフェッチF1によりインストラクションE1をフェッチして実行し、第2回目のインストラクションフェッチF2によりインストラクションE2をフェッチして実行し、第3回目のインストラクションフェッチF3によりインストラクションE3をフェッチして実行し、第4回目のインストラクションフェッチF4によりインストラクションE4をフェッチして実行しなければならず、全体としての処理所要時間中に占めるインストラクションフェッチ時間の割合が大きくなるので、処理能力が低下してしまう。特に上記一連のインストラクションE1,E2,E3,E4の実行頻度が高い場合には、処理能力の低下が著しくなってしまう。

しかし、上記の構成のコンピュータ(C)においては、マイクロプログラムメモリ(4)の領域Aに新たなインストラクションを設定することができるのであるから、予め外部プログラムメモリ(11)または外部データメモリ(12)に新たな1つのインストラクションE1 E2 E3 E4を格納しておいて、パイプラインレジスタ(5)からの出力データを書込みアドレスとしてマイクロプログラムメモリ(4)に供給することにより上記インストラクションE1 E2 E3 E4を領域Aに格納することができる。そして、パイプラインレジスタ(5)からの出力データを書込みアドレスとしてマッピングメモリ(2)に供給することにより外部プログラムメモリ(11)または外部データメモリ(12)からアドレスデータを取込んで格納することができる。

したがって、以上のようにして新たなインストラクションおよびアドレスデータがそれぞれマイクロプログラムメモリ(4)の領域A、マッピングメモリ(2)の領域Aに格納された後は、インストラクションE1 E2 E3 E4に対応する制御コマンドをインストラクションレジスタ(1)を通してマッピングメモリ(2)に供給するだけでよく、第4図Bに示すように、シーケンサ(3)から出力される読出しアドレスに基づいて1回のインストラ

クシオンフェッチFMを行なうだけで、第4図Aに示す処理と同じ処理を行なうことができるインストラクションE1 E2 E3 E4をフェッチすることができる。この結果、全体としての処理所要時間中に占めるインストラクションフェッチ時間の割合を著しく小さくすることができる、処理能力を著しく向上させることができる。特に新たに格納されたインストラクションの実行頻度が高い場合には、処理能力を一層向上させることができる。

第5図はマイクロプログラムメモリ(4)の他の構成を示す概略図であり、上記実施例と異なる点は、領域Aに外部プログラムメモリ(11)または外部データメモリ(12)からマイクロインストラクションを取込んでマイクロプログラムメモリ(4)に格納するためのマイクロインストラクションELが予め格納されている点のみであり、他の部分の構成は同一である。

したがって、この場合には、マッピングメモリ(2)に格納される、取込みのためのハッシュジャンプアドレスFM0,取込まれるマイクロインストラクションのためのハッシュジャンプアドレスFMnおよびマイクロインストラクション格納アドレスをマイクロインストラクションELとしてあらかじめ設定しておくだけでよく、シーケンサ(3)により上記マイクロインストラクションELを指定して読出し、パイプラインレジスタ(5)を通してCPU(7)に供給して所望のマイクロインストラクションをマイクロプログラムメモリ(4)に格納することができる。尚、上記ハッシュジャンプアドレスFMnおよびマイクロインストラクション格納アドレスについては、マイクロインストラクションが格納される毎に自動的に更新されるようにしてある。

上記何れの実施例のコンピュータにおいても、ソフトウェア開発の機能仕様を実現する場合において汎用コンピュータのために予め開発されているソフトウェア資産、デバッグツール等を利用することができるので、短時間で目標とする機能仕様を達成することができる。そして、ハードウェア設計においても、汎用コンピュータのために開発された周辺機器、例えば、CRTコントローラ、ディスクコントローラ、DMA、MMU、PIO等を利用することができる。さらに予め設定されている基本命令により利用可能な開発環境が利用可能であるとともに、追加または修正されるインストラクションにより複数の汎用コンピュータに対するアプリケーションソフトウェアを実行することも可能である。

尚、この発明は上記の実施例に限定されるものではなく、例えば、マッピングメモリ(2)およびマイクロプログラムメモリ(4)が、イニシャル・プログラム・ローディング用マイクロプログラムメモリから初期化時にロードされるものであってもよく、この場合には、イニシャル・プログラム・ローディング用マイクロプログラムメモリを交換することにより基本命令を変更することが可能になる。

また、上記コンピュータ(C)の外部機器との接続端子の配列、規格は汎用コンピュータと同一に設定されているれば、コンピュータ(C)のみを交換するだけで、著しく処理能率が高いシステムを構築することができる。

さらに、上記コンピュータ(C)としては、ビット・スライス・プロセッサであることが最も好ましいが、マイクロプログラム制御されるコンピュータであれば適用可能である。但し、固定語長プロセッサの場合には、複数のインストラクションを1インストラクション化することはできないが、予め設定されているインストラクション以外のインストラクションを設定することができる。

<発明の効果>

以上のように第1の発明は、所期の機能仕様を満足させるコンピュータを短時間で開発することができるとともに、既存のソフトウェア資産、ハードウェア資産、開発環境の有効活用を達成することができ、しかも汎用性を損なうことなく、インストラクションフェッチ回数削減に起因する処理能力を向上させることができるという特有の効果奏する。

第2の発明は、開発当初のインストラクション、マッピングデータがそのまま保存されることになるので、コンピュータのために開発されたソフトウェア資産およびハードウェア資産、即ち、基本命令セットにより制御可能なソフトウェア、周辺機器等を全て有効利用することができ、しかも余剰領域に格納された新たなインストラクション、マッピングデータに基く処理をも遂行することに伴う処理能力の向上をも達成することができるという特有の効果奏する。

第3の発明は、マッピングデータに基づいてロードインストラクションを指定するだけで簡単に所期の機能仕様を達成するコンピュータを得ることができるという特有の効果奏する。

第4の発明は、インストラクションおよびマッピングデータを取込ませるために特別な処理を行なう必要がなくなるとともに、外部媒体を変更するだけで、コンピュータ自体を任意の基本命令セットを有する状態にすることができるという特有の効果奏する。

【図面の簡単な説明】

第1図はこの発明のコンピュータの一実施例を示すブロック図、

第2図はマイクロプログラムメモリの構成を概略的に示す図、

第3図はマッピングメモリの構成を概略的に示す図、

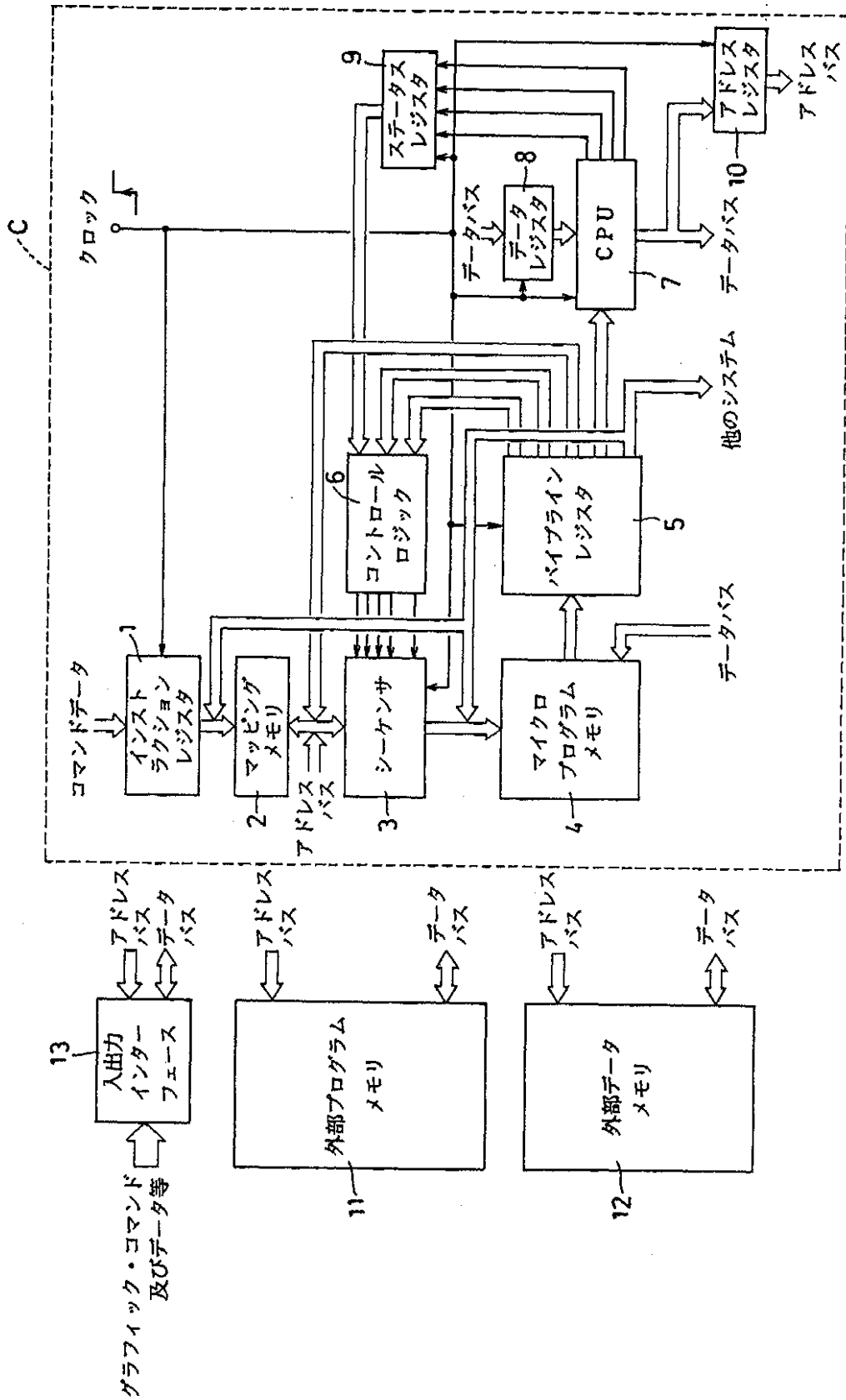
第4図はインストラクションフェッチとインストラクション実行との関係を示す概略図、

第5図はマイクロプログラムメモリの他の構成を示す概略図。

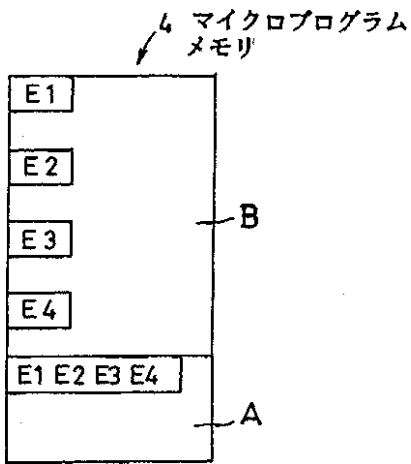
(2).....マッピングメモリ、

(4).....マイクロプログラムメモリ

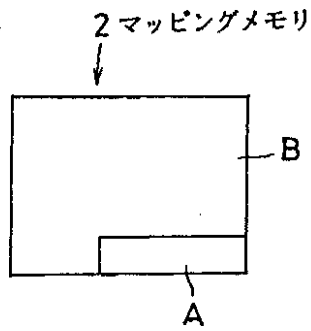
【第1図】



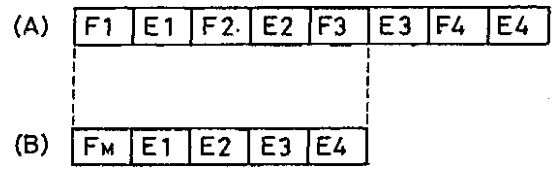
【第2図】



【第3図】



【第4図】



【第5図】

