

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平6-34206

(24) (44)公告日 平成 6 年(1994) 5 月 2 日

(51)Int.Cl.⁵

G 0 6 F 15/353

識別記号

庁内整理番号

7343-5L

F I

技術表示箇所

発明の数 1 (全 5 頁)

(21)出願番号

特願昭60-215775

(22)出願日

昭和60年(1985) 9 月27日

(65)公開番号

特開昭62-74150

(43)公開日

昭和62年(1987) 4 月 4 日

(71)出願人 999999999

ダイキン工業株式会社

大阪府大阪市北区中崎西 2 丁目 4 番12号

梅田センタービル

(72)発明者 上田 智章

滋賀県草津市岡本町字大谷1000番地の 2

ダイキン工業株式会社滋賀製作所内

(74)代理人 弁理士 津川 友士

審査官 高橋 英生

(56)参考文献 特開 昭51-9348 (J P , A)

(54)【発明の名称】 直線補間器用増分データ転送装置

1

【特許請求の範囲】

【請求項 1】 2 点間の直線補間を行なうための増分データを算出するための除算器と、一方の点の座標値に増分データを累積的に加算する加算器とを有する直線補間器において、除算器と加算器とを別体の IC で構成するとともに、除算器による除算結果がビット単位で順次格納される商レジスタを加算器側の IC に設け、加算器側の IC の内部転送により商レジスタに格納された除算結果を増分データとして増分レジスタに転送するようにしたことを特徴とする直線補間器用データ転送装置。

【発明の詳細な説明】

< 産業上の利用分野 >

この発明は直線補間器用増分データ転送装置に関し、さらに詳細にいえば、与えられた 2 点の座標値に基いて除算器により増分データを得、加算器により何れか一方の

2

点の座標値データに上記増分データを累積的に加算することにより 2 点間の直線補間を行なう直線補間器において、上記除算器により得られる増分データを加算器に転送する直線補間器用増分データ転送装置に関する。

< 従来技術 >

従来からグラフィック・ディスプレイ装置等において使用される直線補間器としては、増分データを取得するための除算器と、所定の基準データに増分データを累積的に加算する加算器とを有する構成のものが採用されている。そして、最近では、上記除算器と加算器とを別個の IC とし、両 IC をパラレル・データバスで接続する構成の直線補間器が提供されるようになってきた。

さらに詳細に説明すると、第 3 図に示すように、除算器側 IC (5) が除算結果を格納する商レジスタ (51) を有しているとともに、他のデータを格納するレジスタ (52) を

10

有し、さらに両レジスタ(51)(52)の格納データをバッファ(53)を通してパラレル・データバス(6)に出力するようにしており、また、加算器側IC(7)が、上記パラレル・データバス(6)を通して転送されるデータを、バッファ(71)を通して、所定の基準データを格納する基準レジスタ(72)、累積的に加算される増分データを格納する増分レジスタ(73)に入力するようにしている。

<発明が解決しようとする問題点>

上記従来の直線補間器においては、例えば2つの点の座標値、および補間すべき中間点の数に基いて除算器により所定の増分データを算出し、加算器により、一方の点の座標値に増分データを累積的に加算して、2点間の直線補間を行なうことができる。

さらに詳細に言えば、上記除算器側IC(5)は、必要回数の減算試行を行なうことにより除算結果を得、除算器側IC(5)に設けられた商レジスタ(51)に除算結果を格納するものであり、この商レジスタ(51)に格納された除算結果を、パラレル・データバス(6)により所定数のビットずつ加算器側IC(7)に転送する。

したがって、所定回数の減算試行が行なわれることにより、除算動作が終了するまでは、得られたビット毎のデータを順次商レジスタ(51)に格納するのみであり、除算動作が終了した後に、パラレル・データバス(6)により加算器側IC(7)に除算結果を転送することになる。そして、除算結果が全て転送された後に、加算器側IC(7)による累積的加算動作を行なうことになる。

即ち、上記各動作時間の総和が直線補間器の動作時間になるのであり、除算結果をパラレル・データバス(6)により一時に転送できるようにした場合には、除算結果を転送するための動作時間を短くすることができるが、除算器側IC(5)、および加算器側IC(7)のピン数が増加し、特に除算結果の桁数が大きい場合には、ピン数が著しく増加するという問題がある。

また、ピン数を少なくすることも可能であるが、この場合には除算結果を、ピン数により定まる所定数のビット毎に複数回に分けて転送しなければならず、除算結果を転送するための動作時間が長くなるという問題がある。特にグラフィック・ディスプレイ装置においては、直線補間を行なう速度を大きくして描画速度を大きくすることが要求されるので、除算結果を転送するための動作時間を短縮することが強く望まれている。

<発明の目的>

この発明は上記の問題点に鑑みてなされたものであり、ICのピン数を増加させることなく、増分データとしての除算結果を加算器側ICに転送するための動作時間を著しく短縮することができる直線補間器用増分データ転送装置を提供することを目的としている。

<問題点を解決するための手段>

上記の目的を達成するための、この発明の直線補間器用増分データ転送装置は、除算器と加算器とを別体のIC

で構成するとともに、除算器による除算結果がビット単位で順次格納される商レジスタを加算器側のICに設け、加算器側のICの内部転送により商レジスタに格納された除算結果を増分データとして増分レジスタに転送するようにしたものである。

<作用>

上記の構成の直線補間器用増分データ転送装置であれば、除算器側のICの減算回路等において所定回数の減算試行を行なうことにより、所定桁数の除算結果を得、この除算結果を、減算試行を行なって各桁のデータが得られる毎に加算器側のICの商レジスタに格納し、除算動作が終了した時点で商レジスタの格納された除算結果を増分データとして増分レジスタに内部転送する。そして、増分レジスタに格納された増分データを、所定の基準データに累積加算することにより、2点間の直線補間を行なうことができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。第1図は直線補間器の一実施例の要部を示すブロック図であり、除算器側IC(1)と、パラレル・データバス(2)と、加算器側IC(3)とから構成されている。

さらに詳細に説明すると、上記除算器側IC(1)は、図示しない除算回路等により得られた除算結果がビット毎に格納される商レジスタ(11)と、除算結果以外のデータ(例えば基準となる点の座標データ)が格納されるデータ・レジスタ(12)とを有し、さらに上記両レジスタ(11)(12)に格納されたデータを、バッファ(13)を通して選択的にパラレル・データバス(2)に出力するようにしている。そして、上記商レジスタ(11)にクロック信号、および1ビットずつ順次送られる除算結果を入力している。尚、(14)(15)は、それぞれ上記クロック信号ライン、1ビットずつのデータラインに介挿されたバッファである。

上記加算器側IC(3)は、上記パラレル・データバス(2)を通して入力されるデータを、バッファ(31)を通して選択的に基準レジスタ(32)、増分レジスタ(33)に入力している。そして、上記商レジスタ(11)と同期してデータが1ビットずつ入力される商レジスタ(34)を有し、この商レジスタ(34)に格納された除算結果を内部転送により増分レジスタ(33)に転送することができるようにしている。

以上の構成の直線補間器は、図示しない入力手段により入力された2つの点の座標値、およびこの2点間を補間すべき中間点の数に基いて増分値を算出すべく図示しない減算回路等により所定回数の減算試行を行なって、除算結果を得る。そして、この除算結果は、1ビットずつ除算器側IC(1)の商レジスタ(11)に格納され、ほぼ同時に加算器側IC(3)の商レジスタ(34)にも1ビットずつ格納される。したがって、除算器側IC(1)の商レジスタ(11)に全除算結果が格納されると、ほぼ同時に加算

器側 I C (3)の商レジスタ(34)にも全除算結果が格納される。

その後は、加算器側 I C (3)の商レジスタ(34)から増分レジスタ(33)に内部転送により一時に全除算結果を増分データとして転送し、バッファ(13)、パラレル・データバス(2)、およびバッファ(31)を通して基準レジスタ(32)に格納された基準データに対する累積的加算動作を行なって、2点間の直線補間を行なうことができる。

以上要約すれば、基準データの転送については、従来装置においてもパラレル・データバスにより行なっているものであるから、特に不利にはなっていない。具体的には、上記実施例においては、例えば、基準データをパラレル転送している間に、予め加算器側 I C (3)の商レジスタ(34)にシリアル転送された除算結果を増分レジスタ(33)に格納するので、全体としての所要時間が短縮できることになる。

また、除算結果の転送については、除算動作を遂行している間に、1ビットづつ得られるデータを順次加算器側 I C (3)の商レジスタ(34)に格納することができるので、除算動作終了後に全除算結果をパラレル・データバス(2)を通して増分レジスタ(33)に転送する場合と比較して除算結果転送のために特別に必要とされる時間を大幅に短縮することができるとともに、パラレル・データバスを専有しないので、上記の転送動作中に他のデータ転送を行なわせることができる。そして、この除算結果を転送するための時間の短縮は、両 I C (1)(3)のピン数を少なくして、パラレル・データバス(2)により同時に転送することができるビット数を減少させた場合において特に顕著に現れる。

尚、上記実施例においては、除算器側 I C (1)が商レジスタ(11)を有しているので、商レジスタ(34)を有していない加算器側 I C を使用した場合でも何ら不都合なく2点間の直線補間を行なわせることができる。但し、この場合には、上記のような時間の短縮は達成できないことになる。

また、上記除算動作における必要桁数があらかじめ分かっている場合には、除算のための減算試行回数を減少させることができ、除算動作所要時間を短縮することができる。

そして、必要桁数が商レジスタ(34)に格納可能な桁数より少ない場合には、以下のようにして商レジスタ(34)へのデータ格納所要時間を短縮することができる。

第2図は商レジスタ(34)の構成を示す電気回路図であ

り、各桁のデータに対応するセクタ(35a)(35b)...(35n)、およびラッチ回路(36a)(36b)...(36n)を有している。そして、図示しない除算回路からの出力データCをバッファ(37)を通して上記セクタ(35a)(35b)...(35n)の一方の入力端子に入力しているとともに、上位桁のラッチ回路からの出力データを上記セクタの他方の入力端子に入力している。また、クロック信号CLKをバッファ(38)を通して上記各ラッチ回路(36a)(36b)...(36n)のクロック入力端子に入力しているとともに、ロード信号LDをバッファ(39)を通して上記各ラッチ回路(36a)(36b)...(36n)のクリア端子に入力している。さらに、除数、被除数等により定まるストア・ポインタSPが上記ロード信号LDによって入力されるレジスタ(40)と、このレジスタ(40)に格納されたストア・ポインタSPが入力されるデコーダ(41)とを有し、デコード信号を上記各セクタ(35a)(35b)...(35n)のセレクト入力端子に入力することにより、所定の1のセクタのみが出力データCに対応するラッチ回路に入力するようにしている。したがって、最下位桁、または最上位桁から順に出力データCを格納し、不必要な桁数に相当するシフトを行なわせる必要がある従来の商レジスタの場合と比較して、除算結果を格納するための所要時間を短縮することができる。

尚、この発明は上記の実施例に限定されるものではなく、例えば、除算器側 I C (1)の商レジスタを省略することが可能であり、その他この発明の要旨を変えない範囲内において種々の設計変更を施すことが可能である。

<発明の効果>

30 以上のようにこの発明は、除算器側 I C、および加算器側 I C のピン数の増加を抑制し、しかも増分データとして使用される除算結果の転送所要時間を大幅に短縮することができ、ひいては直線補間器の処理速度を高速化し、グラフィック・ディスプレイ装置に適用した場合には、描画速度を高速化することができるという特有の効果を奏する。

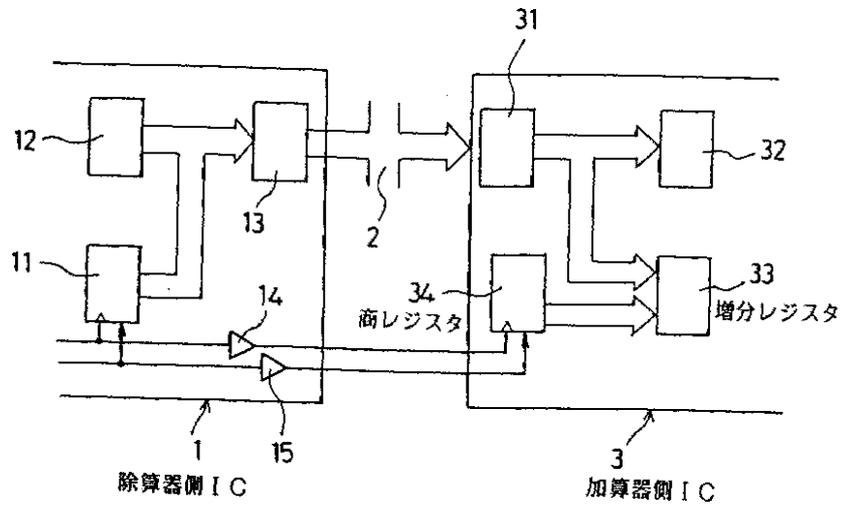
【図面の簡単な説明】

第1図は直線補間器の一実施例の要部を示すブロック図、

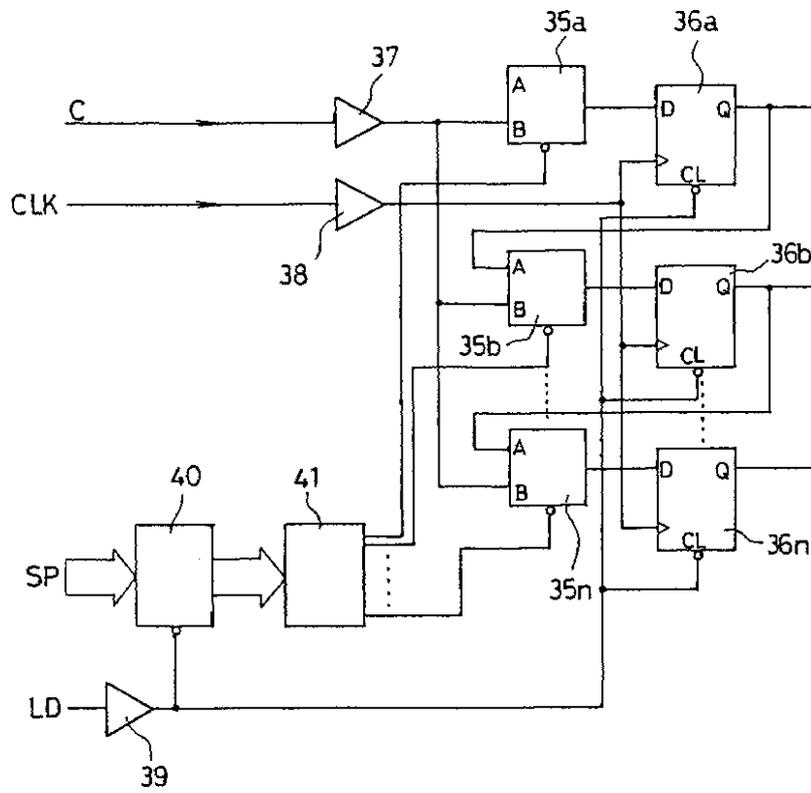
40 第2図は商レジスタの一例を示す電気回路図、
第3図は従来の直線補間器の要部を示すブロック図。

(1)...除算器側 I C、(3)...加算器側 I C、
(33)...増分レジスタ、(34)...商レジスタ

【第1図】



【第2図】



【第3図】

