

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2951663号

(45) 発行日 平成11年(1999) 9月20日

(24) 登録日 平成11年(1999) 7月9日

(51) Int.Cl.⁶

識別記号

F I

G 0 6 T 15/00

G 0 6 F 15/72

4 5 0 A

請求項の数4 (全 15 頁)

(21) 出願番号 特願昭63-196819

(22) 出願日 昭和63年(1988) 8月5日

(65) 公開番号 特開平1-131976

(43) 公開日 平成1年(1989) 5月24日

審査請求日 平成4年(1992) 2月25日

審判番号 平8-6867

審判請求日 平成8年(1996) 5月9日

(31) 優先権主張番号 特願昭62-197131

(32) 優先日 昭62(1987) 8月5日

(33) 優先権主張国 日本 (J P)

(73) 特許権者 999999999

ダイキン工業株式会社

大阪府大阪市北区中崎西2丁目4番12号

梅田センタービル

(72) 発明者 上田 智章

滋賀県草津市岡本町字大谷1000番地の2

ダイキン工業株式会社滋賀製作所内

合議体

審判長 田辺 寿二

審判官 東 次男

審判官 関川 正志

(56) 参考文献 特開 昭61-121178 (J P , A)

特開 昭62-283784 (J P , A)

特開 昭61-25278 (J P , A)

(54) 【発明の名称】 テクスチャマッピング装置およびその方法

1

(57) 【特許請求の範囲】

【請求項1】 投影するための動画画像に対応する画素情報と、予め設定されている複数の色情報とを、それぞれ予め設定されたテクスチャ平面座標データに対応するテクスチャ格納アドレスに格納するテクスチャデータ格納手段と、

テクスチャデータ格納手段に対してテクスチャ平面座標データを供給することにより前記画素情報・色情報のテクスチャ格納アドレスを指定する入力制御手段と、

テクスチャデータ格納手段から読出された前記画素情報・色情報に基づく表示を行う表示手段と、
描画指令データを入力とし、ディスプレイ平面座標データに対応して、描画すべき画素情報・色情報が格納されているテクスチャ平面座標データに対応するテクスチャ格納アドレスを生成するマッピングアドレス生成手段

2

と、

ディスプレイ平面座標データに対応して生成された前記画素情報・色情報が格納されているテクスチャ格納アドレスを、ディスプレイ平面座標データに対応するディスプレイ表示アドレスに格納するとともに、前記ディスプレイ表示アドレスに格納されているテクスチャ格納アドレスを画素情報・色情報読出しアドレスとしてテクスチャデータ格納手段に供給するマッピングアドレス格納手段と、

10 前記表示手段が前記画素情報・色情報を表示する際、ディスプレイ平面座標データに対応する前記ディスプレイ表示アドレスをテクスチャ格納アドレス読出しアドレスとしてマッピングアドレス格納手段に供給する表示制御手段と

を具備することを特徴とするテクスチャマッピング装

置。

【請求項 2】マッピングアドレス生成手段が、ディスプレイ平面座標データに対応する奥行きデータを生成し、奥行きデータに基く隠面処理が施されたテクスチャ平面座標データに対応するテクスチャ格納アドレスを生成するものである上記特許請求の範囲第 1 項記載のテクスチャマッピング装置。

【請求項 3】テクスチャデータ格納手段、および入力制御手段が複数対設けられているとともに、マッピングアドレス生成手段が、画素情報、及び、色情報を読み出すテクスチャデータ格納手段を選択する選択データをも生成してマッピングアドレス格納手段に格納するものである上記特許請求の範囲第 1 項記載のテクスチャマッピング装置。

【請求項 4】描画指令データに基づいてディスプレイ平面座標データおよび各ディスプレイ平面座標データに対応してテクスチャデータ格納手段から画素情報・色情報を読み出すためのテクスチャ平面座標データに対応するテクスチャ格納アドレスを生成するステップと、マッピングアドレス格納手段の各ディスプレイ平面座標データに対応するディスプレイ表示アドレスに、該当するテクスチャ平面座標データに対応するテクスチャ格納アドレスを格納するステップと、表示用の複数の色情報が予め所定領域に格納されているテクスチャデータ格納手段の残余の領域に動画画像に対応する画素情報を格納するステップと、マッピングアドレス格納手段から順次テクスチャ平面座標データに対応するテクスチャ格納アドレスを読み出し、テクスチャデータ格納手段の該当アドレスから前記画素情報・色情報を読み出して可視的に表示するステップとを含む、テクスチャデータのみが変化する場合には、変化するテクスチャデータをテクスチャデータ格納手段に格納するステップと、マッピングアドレス格納手段から順次テクスチャ平面座標データに対応するテクスチャ格納アドレスを読み出し、テクスチャデータ格納手段の該当アドレスから画素情報を読み出して可視的に表示するステップとを反復することを特徴とするテクスチャマッピング方法。

【発明の詳細な説明】

<産業上の利用分野>

この発明はテクスチャ平面の所望の領域の画素情報を、ディスプレイ平面の所望の領域の図形データ上に投影するテクスチャマッピング装置およびその方法に関する。

<従来の技術>

従来から、予め画像入力装置により取込まれた図形データ、或は図形描画装置により描画された図形データ等の所望の領域を、所望の立体図形の表面に投影することにより、デザイン設計、映像効果の確認等を行なう要求

が強く、このような要求を満足させるために、所望の 2 次元図形を所望の 3 次元図形上に投影して表示するテクスチャマッピング装置が提供されている。

従来から提供されているテクスチャマッピング装置としては、2 次元のテクスチャ原図をスキャンライン方向の線分に分解し、ディスプレイ面においてスキャンライン方向に走査しながら逆透視変換を各画素単位で行なうようにしたもの（「テクスチャマッピングについて（1）」柴本猛 小林誠 講演論文集（III）（社）情報処理学会 昭和60年9月9日発行）が提供されていた。

<発明が解決しようとする問題点>

上記の構成のものにおいては、1 画素単位にマトリクス演算を行なう必要があるため、処理速度が遅くなり、特に、テクスチャ原図としてビデオ映像等の動画像を使用した場合には、画像の変化に追従させてリアルタイムにマッピング処理を行なうことが不可能になってしまい、ひいては、動画像をテクスチャ原図として使用することが不可能になってしまうという問題がある。また、テクスチャ原図を構成する単位多角形と、ディスプレイ面における図形を構成する単位多角形との組合せによっては、正確なマッピングを行なうことができず、ディスプレイ面において表示される図形データの品質が低下してしまうことになるという問題もある。

さらに、ディスプレイ面上の図形を構成する多角形がバタフライ面になっている場合がある。したがって、多角形の 3 頂点と他の頂点とが同一平面上に存在しているか否かを予め判別することにより、多角形がバタフライ面であるか否かを識別する必要があり、処理速度が一層多遅くなってしまうという問題があるのみならず、正確なテクスチャマッピングを行なうことができなくなってしまうという問題がある。

また、テクスチャマッピング処理速度を向上させるとともに、テクスチャマッピング処理が施された図形データを表示する場合における品質を向上させるために、本件発明者は、ディスプレイ平面の多角形、およびテクスチャ平面の多角形の 2 辺をそれぞれ互に同期させて直線補間し、得られた線分を互に同期させて直線補間し、テクスチャ平面における線分の直線補間データをマッピングメモリに格納し、マッピングメモリから読み出したデータをディスプレイ平面に投影することにより、テクスチャ原図のマッピングを行なうようにしたテクスチャマッピング装置を提案し、2,500ポリゴン/秒程度（1 ポリゴンは 20 ドット × 20 ドットの任意角度傾斜した正方形である）のテクスチャマッピング処理速度を達成した。

しかし、この程度のテクスチャマッピング処理速度では、動画像をリアルタイムでマッピング処理することは到底不可能であり、しかも、テクスチャを貼付ける三次元図形を、回転、拡大、縮小等により変形させることも不可能であり、実際には、静止画を対象とするテクスチャ

チャマッピング処理に限定されてしまうことになる。

<発明の目的>

この発明は上記の問題点に鑑みてなされたものであり、テクスチャ原図が動画像である場合にも、三次元物体に対するテクスチャ原図のマッピングをリアルタイムで行なうことができるテクスチャマッピング装置およびその方法を提供することを目的としている。

<問題点を解決するための手段>

上記の目的を達成するための、この発明のテクスチャマッピング装置は、テクスチャデータ格納手段と、入力制御手段と、表示手段と、マッピングアドレス生成手段と、マッピングアドレス格納手段と、表示制御手段とを具備するものである。

そして、前記テクスチャデータ格納手段は、投影するための動画画像と予め設定されている表示可能な複数の色データをそれぞれ予め設定されたテクスチャ平面座標データに対応するテクスチャ格納アドレスに格納するものであり、前記入力制御手段は、テクスチャ格納手段に対してテクスチャ平面座標データを供給することにより画素情報・色情報が格納アドレスを指定するものであり、前記表示手段は、テクスチャデータ格納手段から読出された画素情報・色情報に基づく表示を行うものであり、前記マッピングアドレス生成手段は、描画指令アドレスを入力とし、ディスプレイ平面座標データに対応するテクスチャ格納アドレスを生成するものであり、前記マッピングアドレス格納手段は、ディスプレイ平面座標データに対応して生成された画素情報・色情報が格納されているテクスチャ格納アドレスを、ディスプレイ平面座標データに対応するディスプレイ表示アドレスに格納するとともに、前記ディスプレイ表示アドレスに格納されているテクスチャ格納アドレスを画素情報・色情報読出しアドレスとしてテクスチャデータ格納手段に供給するものであり、前記表示制御手段は、表示手段のディスプレイ平面座標データに対応するディスプレイ表示アドレスをテクスチャ格納アドレス読出しアドレスとしてマッピングアドレス格納手段に供給するものである。

但し、上記マッピングアドレス生成手段としては、ディスプレイ平面座標データに対応する奥行きデータを生成し、奥行きデータに基づく隠面処理が施されたテクスチャ平面座標データに対応するテクスチャ格納アドレスを生成するものであることが好ましい。

また、上記テクスチャデータ格納手段、及び入力制御手段が複数対設けられているとともに、マッピングアドレス生成手段を選択する選択データをも生成してマッピングアドレス格納手段に格納するものであることが一層好ましい。

上記の目的を達成するために、この発明のテクスチャマッピング方法は、描画指令データに基づいてディスプレイ平面座標データおよび各ディスプレイ平面座標データに対応してテクスチャデータ格納手段から画素情報・

色情報を読出すためのテクスチャ平面座標データに対応するテクスチャ格納アドレスを生成するステップと、マッピングアドレス格納手段の各ディスプレイ平面座標データに対応するディスプレイ表示アドレスに、該当するテクスチャ平面座標データに対応するテクスチャ格納アドレスを格納するステップと、表示用の複数の色情報が予め所定領域に格納されているテクスチャデータ格納手段の残余の領域に動画画像に対応する画素情報を格納するステップと、マッピングアドレス格納手段から順次テクスチャ格納アドレスを讀出し、テクスチャデータ格納手段の該当アドレスから前記画素情報・色情報を読出して可視的に表示するステップとを含み、テクスチャデータのみが変化する場合には、変化するテクスチャデータをテクスチャデータ格納手段に格納するステップと、マッピングアドレス格納手段から順次テクスチャ格納アドレスを讀出し、テクスチャデータ格納手段の該当アドレスから画素情報を読出して可視的に表示するステップとを反復する方法である。

<作用>

以上の構成のテクスチャマッピング装置であれば、描画指令データを入力として、マッピングアドレス生成手段において、ディスプレイ平面座標データに対応して生成された画素情報・色情報が格納されているテクスチャ格納アドレスを、ディスプレイ平面座標データに対応するディスプレイ表示アドレスに格納しておく。

この状態において、入力制御手段により、テクスチャデータ格納手段に対してテクスチャ平面座標データを供給してテクスチャ格納アドレスを指定した状態で、テクスチャデータ格納手段に、投影するための動画画像に対応する画素情報と、予め設定されている複数の色情報とを格納する。

そして、表示手段のディスプレイ平面座標データに対応するディスプレイ表示アドレスを、表示制御手段によりマッピングアドレスに供給すれば、マッピングアドレス格納手段から対応するテクスチャ格納アドレスを讀出して、画素情報・色情報読出しアドレスとしてテクスチャデータ格納手段に供給するので、テクスチャデータ格納手段から対応する画素情報・色情報を読出して表示手段に供給することにより、テクスチャマッピングが施された画素を表示することができる。

さらに詳細に説明すれば、テクスチャアドレス格納手段に対して、マッピング処理が施される図形に対応するテクスチャ格納アドレスを格納しておいて、テクスチャデータ格納手段に格納された投影するための動画画像に対応する画素情報、及び、複数の色情報を読出すだけで、テクスチャマッピングが施された画像の表示を行なうことができ、投影するための動画画像の画素情報に対しては何ら演算を行なうことなく読出すだけでよいかから、動画画像のテクスチャマッピング処理を著しく高速化することができる。また、マッピング処理が施される

10

20

30

40

50

図形に対応するテキストチャ格納アドレスについては、何らかの変化を伴わない場合には、1回だけ演算を施すことにより算出しておけばよく、また、何らかの変化を伴う場合であっても、投影するための動画画像の画素情報と比較して変化速度を余り高速化しなくてもよいので、テキストチャマッピング処理の高速化を損なうことはない。

そして、上記テキストチャデータ格納手段が、マッピングされる動画画像の画素情報と、予め設定されている複数の色情報とを格納しているのであるから、テキストチャがマッピングされる領域のみならず、テキストチャがマッピングされない領域についてもテキストチャデータ格納手段から画素情報・色情報を読み出すことによりマッピング処理が施された画像を得ることができ、動画画像からなるテキストチャが貼り付けられた図形のみならず、テキストチャがマッピングされない領域とが混在した画像を容易に得ることができる。

また、上記マッピングアドレス生成手段が、ディスプレイ平面座標データに対応する奥行きデータを生成し、奥行きデータに基く隠面処理が施されたテキストチャ平面座標データに対応するテキストチャ格納アドレスを生成するものである場合には、隠面処理が施された状態に対応するテキストチャマッピング処理を行なうことができ、マッピング処理が施される図形が複数存在する場合に何ら不自然さのないテキストチャマッピング処理を達成することができる。

さらに、上記テキストチャ格納手段、および入力制御手段が複数対設けられているとともに、マッピングアドレス生成手段が、画素情報、及び、色情報を読み出すテキストチャデータ格納手段を選択する選択データをも生成してマッピングアドレス格納手段に格納するものである場合には、選択データに基づいてテキストチャデータ格納手段を選択することができ、任意の少なくとも1つのテキストチャデータ格納手段に格納されている画素情報に基くテキストチャマッピングを行なうことができる。

以上のテキストチャマッピング方法であれば、描画指令データに基づいてディスプレイ平面座標データおよび各ディスプレイ平面座標データに対応してテキストチャデータ格納手段から画素情報・色情報を読み出すためのテキストチャ平面座標データに対応するテキストチャ格納アドレスを生成し、マッピングアドレス格納手段の各ディスプレイ平面座標データに基づいて定められるディスプレイ表示アドレスに該当するテキストチャ格納アドレスを格納しておき、さらに、表示用の複数の色情報が予め所定領域に格納されているテキストチャデータ格納手段の残余の領域に動画画像に対応する画素情報を格納しておき、その後は、マッピングアドレス格納手段から順次テキストチャ格納アドレスを読み出し、テキストチャデータ格納手段の該当アドレスから画素情報・色情報を読み出すだけで、所望のテキストチャを投影して表示することができる。

特に、テキストチャデータのみが変化する場合には、変化するテキストチャデータをテキストチャデータ格納手段に格納し、マッピングアドレス格納手段から順次テキストチャ格納アドレスを読み出し、テキストチャデータ格納手段の該当アドレスから画素情報・色情報を読み出すだけで、高速に変化する2次元画像を3次元図形上に投影して表示することができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。

第1図はこの発明のテキストチャマッピング装置の一実施例を示すブロック図であり、ホストプロセッサ(図示せず)からの描画コマンドを入力としてディスプレイ平面座標データ、およびディスプレイ平面座標データに対応するテキストチャ平面座標データを生成するマッピングアドレス生成部(1)と、テキストチャ平面座標データを、ディスプレイ平面座標データに対応させて格納するとともに、ディスプレイ平面座標データに対応するテキストチャ平面座標データを読み出すマッピングアドレス格納用のデュアルポートメモリ(2)と、水平同期信号、および垂直同期信号を入力としてテキストチャ平面座標データを生成する入力制御部(3)と、入力制御部(3)において生成されたテキストチャ平面座標データに対応させて、アナログ-デジタル変換器(以下、A/D変換器と略称する)(5)によりデジタルデータに変換されたビデオ画像データを格納するとともに、上記デュアルポートメモリ(2)から読み出されたテキストチャ平面座標データを読み出し指定アドレスとして格納データを読み出すマッピングデータ格納用のデュアルポートメモリ(4)と、デュアルポートメモリ(4)から読み出されたデータがデジタル-アナログ変換器(以下、D/A変換器と略称する)(7)によりアナログデータに変換した状態で入力され、テキストチャマッピング処理が施されたデータを可視的に表示するCRT(6)と、CRT(6)に対して供給する同期信号に対応させてディスプレイ平面座標データを生成し、デュアルポートメモリ(2)に読み出し指定アドレスとして供給するCRTコントローラ(8)とから構成されている。

尚、上記A/D変換器(5)については、既にデジタルデータ化されたビデオ画像データが供給されるようにしてある場合には省略することができる。また、上記デュアルポートメモリ(2)は、ランダムアクセスによるデータ書込みが行なわれるとともに、シーケンシャルアクセスによるデータ読み出しが行なわれるものであり、上記デュアルポートメモリ(4)は、シーケンシャルアクセスによるデータ書込みが行なわれるとともに、ランダムアクセスによるデータ読み出しが行なわれるものである。そして、上記デュアルポートメモリ(2)には、テキストチャ平面座標データが格納され、上記デュアルポートメモリ(4)には、ビデオ画像データの各画素に対

応する色データが格納される。

以上の構成のテクスチャマッピング装置の動作を第2図を参照しながら詳細に説明する。

ホストプロセッサから描画コマンドデータがマッピングアドレス生成部(1)に供給されることにより、ディスプレイ平面座標データ、および対応するテクスチャ平面座標データが生成され、デュアルポートメモリ(2)に対してランダムアクセスによる書込みが行なわれる。即ち、ビデオ画像が貼付けられる図形領域(以下、テクスチャ領域と略称する)R1に対応するテクスチャ平面座標データを生成してデュアルポートメモリ(2)に格納するとともに、残余の領域R2に対応するテクスチャ平面座標データをも生成してデュアルポートメモリ(2)に格納することができる。

第2図に基づいて具体的に説明すると、描画コマンドデータにより上記両図形領域R1,R2が指定されているとともに、上記図形領域R2に表示されるべきコップの形状および色彩(例えば白)と背景の色彩(例えば緑)とが指定されている(第2図A参照)。

したがって、マッピングアドレス生成部(1)においては、上記白色領域の各画素に対応してデュアルポートメモリ(2)におけるディスプレイ平面座標データ x_i, y_i および白の画素情報が格納されているテクスチャ平面座標データ u_w, v_w が生成され、上記ディスプレイ平面座標データ x_{iw}, y_{iw} に基づいて定まれデュアルポートメモリ(2)のデータ格納位置にテクスチャ平面座標データ u_w, v_w を格納する(第2図Bおよび第2図Bの要部を拡大して示す第2図C参照)。また、上記緑色領域の各画素に対応してディスプレイ平面座標データ x_{ig}, y_{ig} および緑の画素情報が格納されているテクスチャ平面座標データ u_g, v_g が生成され、上記ディスプレイ平面座標データ x_{ig}, y_{ig} に基づいて定まるデュアルポートメモリ(2)のデータ格納位置にテクスチャ平面座標データ u_g, v_g を格納する(第2図Bおよび第2図Bの要部を拡大して示す第2図C参照)。さらに、上記図形領域R1の各画素に対応してディスプレイ平面座標データ x_{it}, y_{it} およびテクスチャを構成する画素情報のテクスチャ平面座標データ u_{it}, v_{it} が生成され、上記ディスプレイ平面座標データ x_{it}, y_{it} に基づいて定まるデュアルポートメモリ(2)のデータ格納位置にテクスチャ平面座標データ u_{it}, v_{it} を格納する(第2図Bおよび第2図Bの要部を拡大して示す第2図C参照)。尚、以上の説明において、ディスプレイ平面座標データは画素毎に全て異なる値であるが、白色領域に対応して格納されるテクスチャ平面座標データ u_w, v_w は全て同一であるとともに、緑色領域に対応して格納されるテクスチャ平面座標データ u_g, v_g も全て同一である。そして、図形領域R1に対応して格納されるテクスチャ平面座標データ u_{it}, v_{it} は全て異なる値である。

また、水平同期信号、および垂直同期信号が供給され

る入力制御部(3)においてテクスチャ平面座標データ u_j, v_j が生成され、データ格納指定アドレスとしてデュアルポートメモリ(4)に供給されるので、A/D変換器(5)によりデジタル化されたビデオ画像データが上記データ格納指定アドレスに基づいて順次書込まれる(第2図D参照)。但し、第2図Dに示すように、デュアルポートメモリ(4)はビデオ画像データが書込まれる領域R3と、予め表示可能な各種の色情報が書込まれている領域R4とが存在しており、上記領域R3の色情報のみがビデオ画像データにより変更される。

したがって、CRTコントローラ(8)からCRT(6)に対して同期信号を供給することにより図形を可視的に表示する場合には、上記同期信号に対応させてCRTコントローラ(8)からディスプレイ平面座標データ x_i, y_i を読み出し指定アドレスとしてデュアルポートメモリ(2)に供給することにより、予め格納されているテクスチャ平面座標データ u_j, v_j を読み出して、読み出し指定アドレスとしてデュアルポートメモリ(4)に供給する。そして、読み出し指定アドレスが供給されたデュアルポートメモリ(4)からは、指定されたアドレス u_j, v_j における画素情報、即ち色データが読み出され、D/A変換器(7)によりアナログ化された状態でCRT(6)に供給されるので、第2図Eに示すように、ビデオ画像が貼付けられた状態の図形を可視的に表示することができる。

以上の説明から明らかなように、ホストプロセッサから供給される描画コマンドに基づいて補間演算等を行なうのは、マッピングアドレス生成部(1)のみであり、しかも、ビデオ画像が貼付けられる図形が変化しない場合には、1回必要な演算を行なうことにより得られたマッピングアドレスをデュアルポートメモリ(2)に格納しておいて、デュアルポートメモリ(4)にシーケンシャルアクセスにより書込まれた色データをマッピングアドレスに対応させて読み出すだけでよいから、所要時間が主として書込み時間、および読み出し時間のみとなり、テクスチャマッピング処理を著しく高速化することができ、かなり高速で変化するビデオ画像を何ら不都合なくテクスチャ領域に貼付けることができる。

また、ビデオ画像を貼付ける図形が変化する場合、例えば、移動され、或は拡大、縮小される場合には、マッピングアドレス生成部(1)において必要な演算を行なうことにより新たなテクスチャ平面座標データを生成してデュアルポートメモリ(2)に書込むだけでよいから、ビデオ画像を三次元動図形に貼付けることができるとともに、この場合における処理時間も短縮することができる。

尚、以上にはビデオ画像を貼付ける場合についてのみ説明したが、カメラ等により得られる画像についても同様のテクスチャマッピング処理を行なわせることができ、また、画像が動画像であっても、或は静止画像であっても同様のテクスチャマッピング処理を行なわせるこ

とができる。

<実施例 2 >

第 3 図はテクスチャマッピング装置の他の実施例を示すブロック図であり、第 1 の実施例と異なる点は、デュアルポートメモリ (4) に代えてダブルバッファメモリ (4d) を採用した点のみである。

したがって、この実施例においては、A/D変換器 (5) によりデジタルデータに変換されたビデオ画像データが一方のバッファメモリ (4da) に書込まれている間に、デュアルポートメモリ (2) から読出されたテクスチャ平面座標データ u_j, v_j を他方のバッファメモリ (4db) に供給して該当箇所の画素情報、即ち色データを読み出し、ビデオ画像がマッピングされた状態の図形を CRT (6) により可視的に表示することができる。

<実施例 3 >

第 4 図はテクスチャマッピング装置のさらに他の実施例を示すブロック図であり、第 1 の実施例と異なる点は、マッピングアドレス生成部 (1) においてディスプレイ平面座標データ、および奥行き方向の座標データ z_i をも生成し、生成されたデータが供給される隠面処理用のデプスバッファ (9) からデュアルポートメモリ (2) に対してデプスマスクを供給するようにした点のみである。

したがって、この実施例の場合には、テクスチャ領域における隠面処理が行なれていない図形データを描画すべきことを指示する描画コマンドが供給されても、デプスバッファ (9) から供給されるデプスマスクにより、例えば最も前側に対応するテクスチャ平面座標データのみをデュアルポートメモリ (2) に書込むことができる。そして、デュアルポートメモリ (2) に格納されたテクスチャ平面座標データは、隠面処理が施された状態になるので、隠面処理が施されたテクスチャ領域に対して動画像、或は静止画像の貼付けを行なうことができる。

<実施例 4 >

第 5 図はテクスチャマッピング装置のさらに他の実施例を示すブロック図であり、第 3 の実施例と異なる点は、入力制御部 (3)、A/D変換器 (5)、デュアルポートメモリ (4) を複数個互に並列に設けた点、およびデュアルポートメモリ (2) に格納されるテクスチャ平面座標データ t (第 6 図参照) の上位 2 ビット tu をデュアルポートメモリ選択データとした点のみである。ここでデュアルポートメモリ選択データは 2 ビットであるから第 6 図 A ~ D に示すように、最大 4 個のデュアルポートメモリ (4) を選択させることができる。但し、選択されるデュアルポートメモリ (4) の数が増加した場合には、デュアルポートメモリ選択データのビット数を増加させればよい。

したがって、この実施例の場合には、各デュアルポートメモリ (4) に対して互に異なる動画像を格納してお

いて、デュアルポートメモリ (2) に格納されているテクスチャ平面座標データ毎に、何れのデュアルポートメモリ (4) を選択すべきかを指示するビット tu を与えておくことにより、テクスチャ領域の任意の箇所毎に互に異なる動画像を貼付けることができる。具体的には、第 7 図に示すように、テクスチャ領域が円柱 T1 および球 T2 から構成されているとともに、円柱 T1 に対して自動車の画像 T11 を貼付け、球 T2 に対してハングライダーの画像 T21 を貼付ける場合には、上記円柱 T1 および球 T2 が隠面処理されているので、ディスプレイ平面座標データが互に等しい画素に対しては何れかの図形に対応するテクスチャ平面座標データのみがデュアルポートメモリ (2) に格納されることになる。そして、隠面処理された各図形に対応するテクスチャ平面座標データ t をデュアルポートメモリ (2) から読出して、上記 2 ビット tu により指定されたデュアルポートメモリ (4) に対して、上位 2 ビット tu を除く残余のビット td を読み出し指定アドレスとして供給することにより、各図形毎に任意の動画像を貼付けた状態で CRT (6) に可視的に表示することができる。

<実施例 5 >

第 8 図はテクスチャマッピング装置のさらに他の実施例を示すブロック図であり、第 4 の実施例と異なる点は、カラーlookupアップテーブルメモリ (10) を設けた点、およびテクスチャ平面座標データをカラーlookupアップテーブルメモリ (10) の空間として割当てた点のみである。

したがって、この実施例の場合には、テクスチャ平面座標データに基づいてカラーlookupアップテーブルメモリ (10) の内容を読み出すことができ、カラーインデックス方式のシェーディング処理が行なえることになる。そして、シェーディング処理が行なえる結果、動画像が貼付けられる図形の境界にエッジ表示を行なわせることもできる。

第 9 図は上記マッピングアドレス生成部 (1) の一例を示すブロック図であり、2 辺の x, y, z 値 (ディスプレイ平面における 3 次元座標データ)、 u, v 値 (テクスチャ平面における 2 次元座標データ) に対応する辺補間回路 (11) (12) ... (15) (21) (22) ... (25) と、上記辺補間回路 (11) (12) (21) (22) から出力される x, y 値を入力とする線分補間回路 (31) と、上記辺補間回路から出力される z, u, v 値をそれぞれ入力とする線分補間回路 (32) (33) (34) と、描画コマンドデータを取込むための I/O インターフェース (61) と、辺選択処理等を行なうプロセッサ (62) と、メモリ (63) とから構成されている。

尚、上記各辺補間回路、線分補間回路は、それぞれ除算回路と、除算結果を累積加算する加算回路とから構成され、各補間処理を並行させて遂行することができるようにしている。

また、上記プロセッサ(62)は、図示しない上位プロセッサから伝送された頂点データに基づいて、辺補間動作を行なうべき2辺を選択するものであり、上記線分補間回路(31)(32)から出力されるx,y,z値データ、および上記線分補間回路(33)(34)から出力されるu,v値データをデュアルポートメモリ(2)に供給するようにしている。

以上の構成のマッピングアドレス生成部(1)の動作は次のとおりである。

まず、プロセッサ(62)において、伝送されてきた複数個の頂点データに基づいて、辺補間を行なうべき2辺の始点、終点に対応する頂点データを選択し、各辺毎に1対ずつの頂点データをそれぞれ辺補間回路(11)(12)(13)、辺補間回路(21)(22)(23)に供給するとともに、テクスチャ平面における図形の、上記頂点データに対応する頂点データを選択し、各辺毎に1対ずつの頂点データをそれぞれ辺補間回路(14)(15)、辺補間回路(24)(25)に供給する。また、1対の頂点データにより定まる辺の長さに基づいて辺補間を行なうべき分割数データを算出し(例えば、2頂点間のx方向ピクセル数とy方向ピクセル数とを加算した値に1を加算した数とを算出し)、上記辺補間回路(11)(12)...(15)、辺補間回路(21)(22)...(25)に供給する。

次いで、上記両データが供給される各辺補間回路においては、上記辺の長さ(両頂点に対応する各値の差)を分割数データにより除算し、一方の頂点データに対して上記除算値を順次累積的に加算することにより、辺補間データを得、対応する線分補間回路に供給する。

そして、上記線分補間回路(31)においては、1対の辺補間データに基づいて、線分の長さを算出するとともに、線分の長さに基づいて線分補間を行なうべき分割数データを算出し(例えば、2点間のx方向ピクセル数とy方向ピクセル数とを大小比較し、大なる方のピクセル数を選択し)、上記線分の各座標軸方向の始終点の差を分割数データにより除算し、一方の端点データに対して上記除算値を順次累積的に加算することにより、線分補間データを得、デュアルポートメモリ(2)に供給する。

また、残余の線分補間回路においては、端点に対応する値の差を、上記線分補間回路(31)において算出された分割数データにより除算し、一方の端点データに対して上記除算値を順次累積的に加算することにより、線分補間データを得る。そして、線分補間回路(32)からの線分補間データをz値として、線分補間回路(33)(34)からの線分補間データをu,v値としてデュアルポートメモリ(2)に供給する。

即ち、線分補間回路(31)(32)により得られたディスプレイ平面上の各画素座標に対応させて線分補間回路(33)(34)によりテクスチャ平面座標データを得、デュアルポートメモリ(2)に対してu,v値データを書込むことができる。

以上の説明から明らかなように、2辺の直線補間を行なうとともに、得られた線分を直線補間することによりテクスチャ原図とディスプレイ平面における図形との対応をとっているため、ディスプレイ面上におけるマッピング領域がバタフライ面であっても、テクスチャ原図を確実に貼付けることができる。

また、上記の説明から明らかなように、テクスチャ面上においてオーバーラップさせて描画を行なう部分が発生する可能性がかなり高いのであるが、直線補間動作は1回除算を行なった後は単純に累積加算を行なわせるのみであるから、補間回路をハードウェアにより構成することにより、マトリクス変換を行なう場合と比較して、全体としての処理時間を短縮することができる。

第10図はマッピングアドレス生成部(1)の動作を説明する図であり、ディスプレイ平面における4頂点のx,y座標データが与えられた場合に(3頂点の場合にも同様に適用することができるが、詳細は省略する)、最も短い辺H1を得(例えば、対応する2頂点同士のx座標値の差とy座標値の差とを加算した値が最も小さい辺を最も短い辺とし)、上記辺に隣合う辺H2,H3を2辺として選択する。また、テクスチャ平面においては、上記2辺に対応する2辺を選択する。

このように2辺を選択することにより、描画する画素数を少なくすることができる。さらに詳細に説明すれば、例えば、第11図Aに示すように、四角形のデータ構造を有していながら直角二等辺三角形に近似される形状(最も長い辺が2Lドット、上記辺、および上記辺から最も離れた頂点までがLドット)を有している場合を考えれば、最も短い辺、および対向する辺とを選択した場合には、第11図Bに示すように、上記図形が2L本の線分に分解される。逆に他の2辺を選択した場合にも、第11図Cに示すように、2L本の線分に分解される。しかし、第11図Bの場合には、2L本の線分の長さがL~2Lドットの範囲であり、描画ドット数が $3L^2$ となるのに対して、第11図Cの場合には、全ての線分の長さがLドットであり、描画ドット数が $2L^2$ となるのであり、描画ドット数を L^2 だけ減少させることができる。

上記のようにして選択された2辺に基づいて、直線補間を行なうための分割数を決定する。

この動作は次のとおりである。

第12図Aに示すように2辺が選択された場合において、各辺の端点間に存在するx方向のドット数 x_1, x_2 、y方向のドット数 y_1, y_2 を算出し、各辺のドット数 $(|x_1| + |y_1| + 1)$ と $(|x_2| + |y_2| + 1)$ を比較し、多い方のドット数を直線補間のための分割数として選択する。

上記のように分割数を選択すれば、第12図Bに示すように、長い方の辺については、辺が通過する全ての画素が分解される線分の端点になり、逆に短い方の辺については、第12図Cに示すように、辺が通過する全ての画素

が、分解される 1 本以上の線分の端点になる。したがって、分解されて生ずる全ての線分は互に 1 画素以上離れることのない状態となり、マッピング欠落画素の発生を確実に防止することができる。

また、テクスチャ平面における 2 辺の直線補間を行なう場合の分割数として上記分割数をそのまま使用するので、テクスチャ原図のサイズによっては分解されて生ずる全ての線分のうち少なくとも一部が、互に 2 画素以上離れる状態になる可能性があるが、最終的に可視的表示が行なわれるのはディスプレイ平面上の図形であるから、特に不都合はない。

上記のようにして対向する 2 辺の直線補間が行なわれた後は、直線補間データに基いて定まる線分に対する直線補間を行なう。

この場合には、ディスプレイ平面における線分の長さに基づいて分割数を算出し、この分割数に基づいてディスプレイ平面上の線分、およびテクスチャ平面の直線補間を行なう。

したがって、ディスプレイ平面上における直線補間により得られる画素データは、ドットの欠落が全くない状態になる。他方、テクスチャ平面上における直線補間により得られる画素データは、線分の長さによってはドットの欠落が発生した状態になることが考えられるのであるが、可視的に表示されるのはディスプレイ平面における直線補間により得られる画素のみであるから、上記ドットの欠落が発生しても特に不都合はない。

但し、直線のような図形については、点線状に表示されるという不都合が生ずるので、このような不都合をも解消する場合には、第 13 図に示すように、直線補間により得られた画素を中心とする所定範囲の画素の平滑化処理を行なった後、ディスプレイ平面上に投影すればよい。

尚、この発明は上記の実施例に限定されるものではなく、第 3 の実施例から第 5 の実施例においてデュアルポートメモリに代えてダブルバッファを使用することが可能である他、多少のテクスチャマッピング処理速度の低下を許容できる場合には、マッピングアドレス格納用のメモリ、およびテクスチャデータ格納用のメモリとして上記実施例のメモリと異なる書込み、読出し機能を有するメモリを使用することが可能であり、さらに、大部分の処理をプロセッサにより行なわせるようにしたテクスチャアドレス生成部 (1) を使用することが可能である他、CRT (6) 以外の表示装置を使用することが可能であり、その他この発明の要旨を変更しない範囲内において、種々の設計変更を施すことが可能である。

< 発明の効果 >

第 1 の発明は、ディスプレイ表示アドレスに対応するテクスチャ格納アドレスをマッピングアドレス格納手段に格納しておくとともに、貼付ける動画画像に対応する画素情報、及び、複数の色情報をテクスチャデータ格納

手段に格納しておき、マッピングアドレス格納手段から読出されるテクスチャ格納アドレスに基いてテクスチャデータ格納手段の該当アドレスにおける画素情報・色情報を讀出して直接表示させることによりテクスチャマッピング処理が施された図形を可視的に表示するようにしているため、テクスチャ平面座標データに対応するテクスチャ格納アドレスを得るための演算さえ行なわれていれば、テクスチャデータ格納手段から該当する画素情報・色情報を讀出すだけでテクスチャマッピングが施された画像を表示することができ、テクスチャマッピング処理の高速化、すなわち、動画画像をテクスチャとするテクスチャマッピング処理をリアルタイムで達成することができるとともに、動画画像からなるテクスチャが貼り付けられた図形のみならず、テクスチャがマッピングされない領域とが混在した画像を容易に得ることができるという特有の効果を奏する。

第 2 の発明は、隠面処理が施された状態に対応するテクスチャマッピング処理を行なうので、マッピング処理が施される図形が複数存在する場合に何ら不自然さのないテクスチャマッピング処理を達成することができるという特有の効果を奏する。

第 3 の発明は、選択データに基いてテクスチャデータ格納手段を選択することにより、任意の少なくとも 1 つのテクスチャデータ格納手段に格納されている画素情報に基くテクスチャマッピングを行なうことができるという特有の効果を奏する。

第 4 の発明は、テクスチャ平面座標データを得るための演算さえ行なわれていれば、テクスチャデータ格納手段から該当する画素情報を読み出すだけでテクスチャマッピングが施された画像を表示することができ、テクスチャマッピング処理の高速化、すなわち、動画画像をテクスチャとするテクスチャマッピング処理をリアルタイムで達成することができるとともに、動画画像からなるテクスチャが貼り付けられた図形のみならず、テクスチャがマッピングされない領域とが混在した画像を容易に得ることができるという特有の効果を奏する。

【図面の簡単な説明】

第 1 図はこの発明のテクスチャマッピング装置の一実施例を示すブロック図、

第 2 図 A ~ E はテクスチャマッピング処理を説明する概略図、

第 3 図はテクスチャマッピング装置の他の実施例を示すブロック図、

第 4 図および第 5 図はそれぞれテクスチャマッピング装置のさらに他の実施例を示すブロック図、

第 6 図はテクスチャ平面座標データとデュアルポートメモリ選択データとの関係を説明する図、

第 7 図は第 5 図の実施例によるテクスチャマッピング処理を説明する概略図、

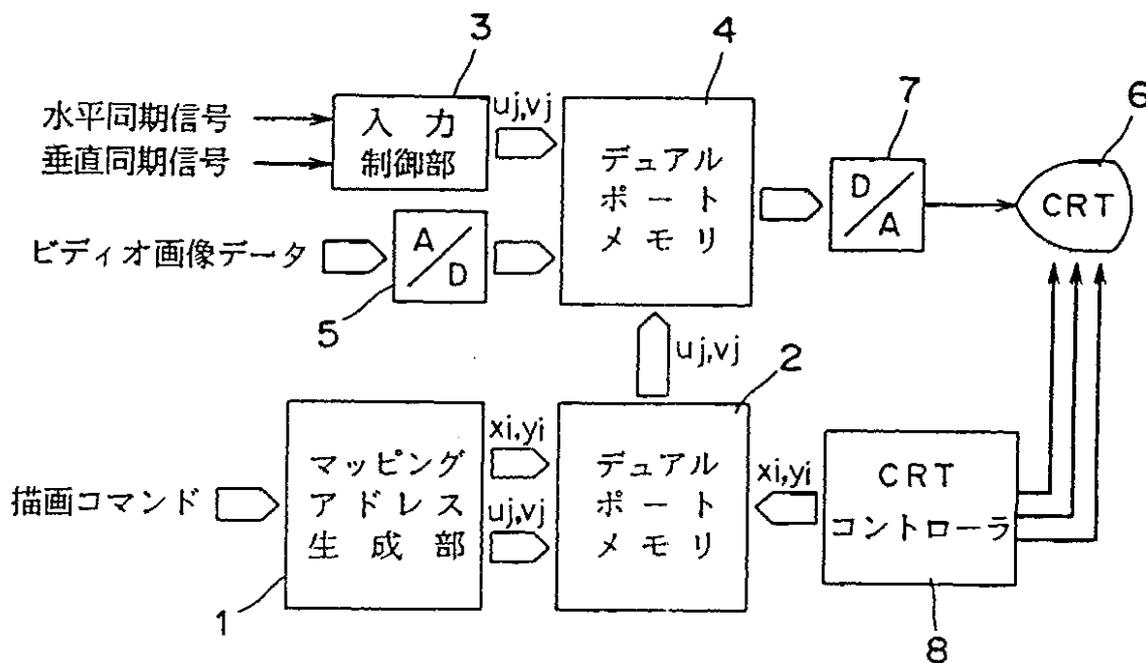
第 8 図はテクスチャマッピング装置のさらに他の実施例

を示すブロック図、
 第9図はマッピングアドレス生成部の一例を示すブロック図、
 第10図から第13図はそれぞれテクスチャアドレス生成動作を説明する図。

- (1) マッピングアドレス生成部、
- (2) マッピングアドレス格納用のデュアルポート*

- * メモリ、
- (3) 入力制御部、
- (4) マッピングデータ格納用のデュアルポートメモリ、 (4d) ダブルバッファメモリ、
- (6) CRT、 (8) CRTコントローラ、
- (9) デプスバッファ、
- (10) カラールックアップテーブルメモリ

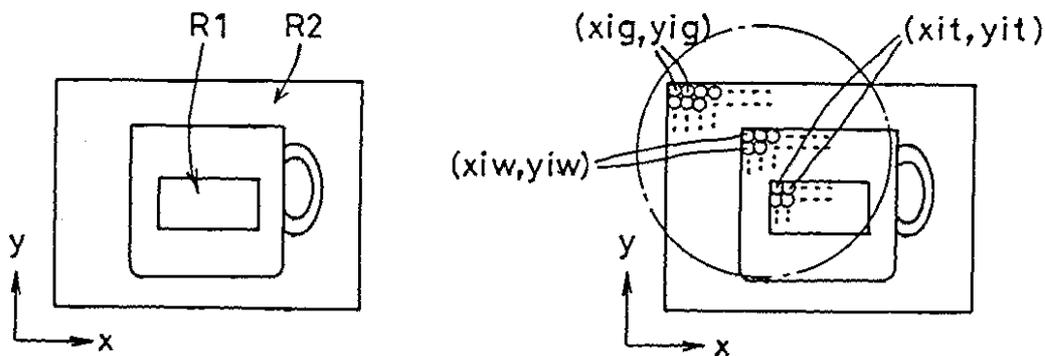
【第1図】



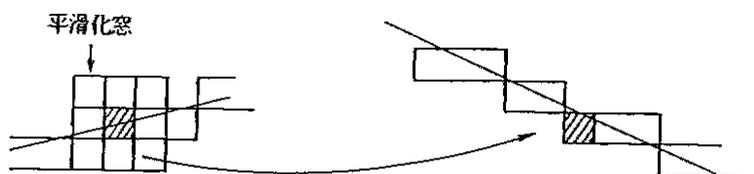
【第2図 - 1】

(A)

(B)

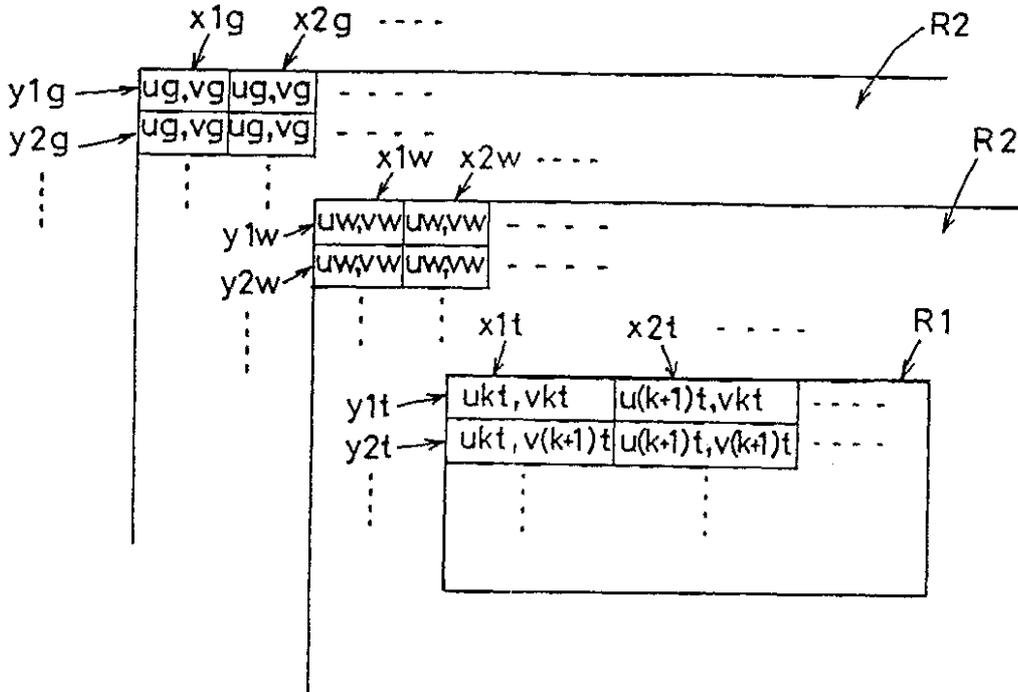


【第13図】



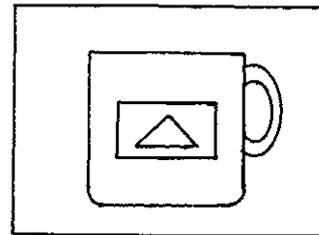
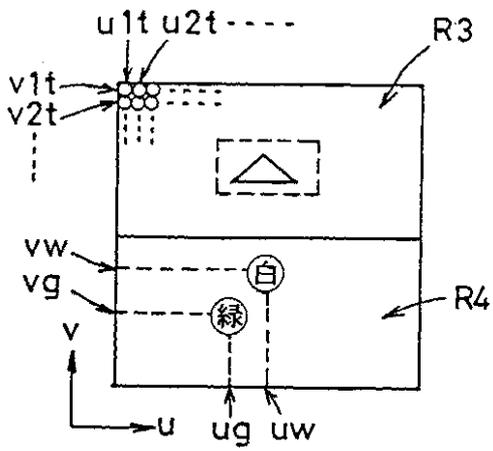
【第2図 - 2】

(C)

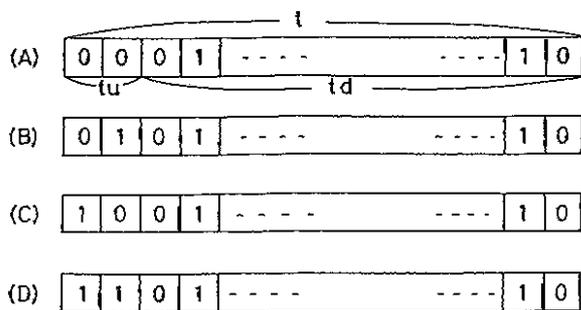


(D)

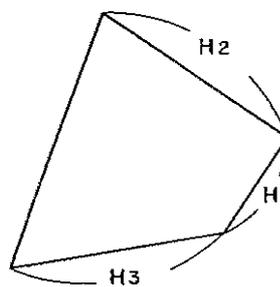
(E)



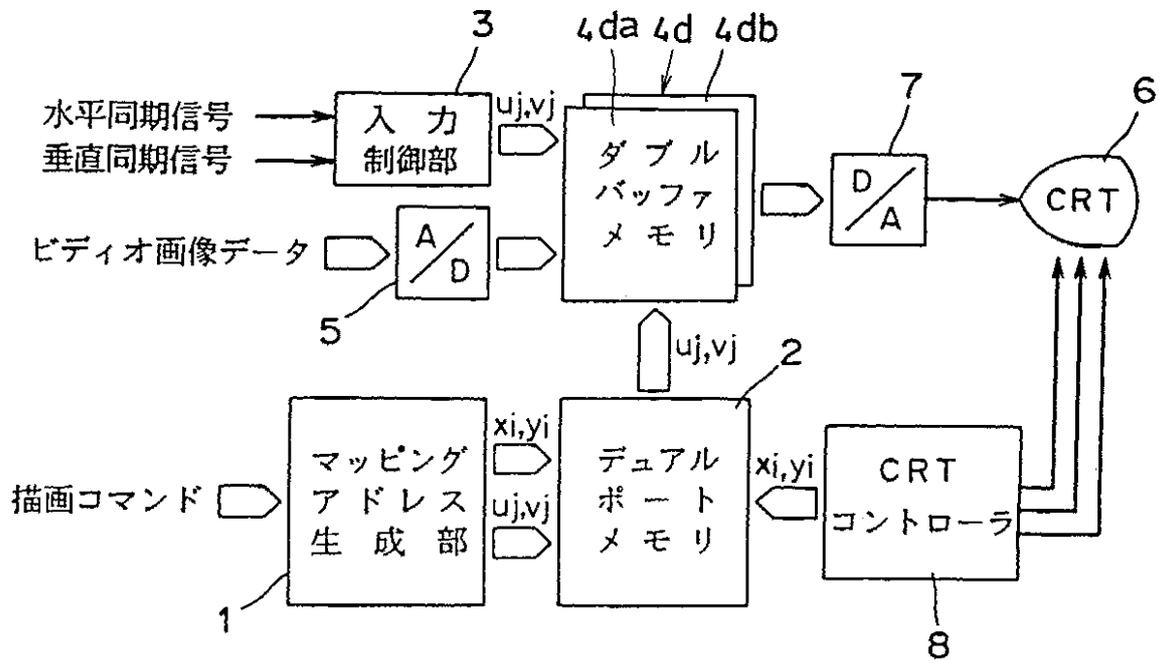
【第6図】



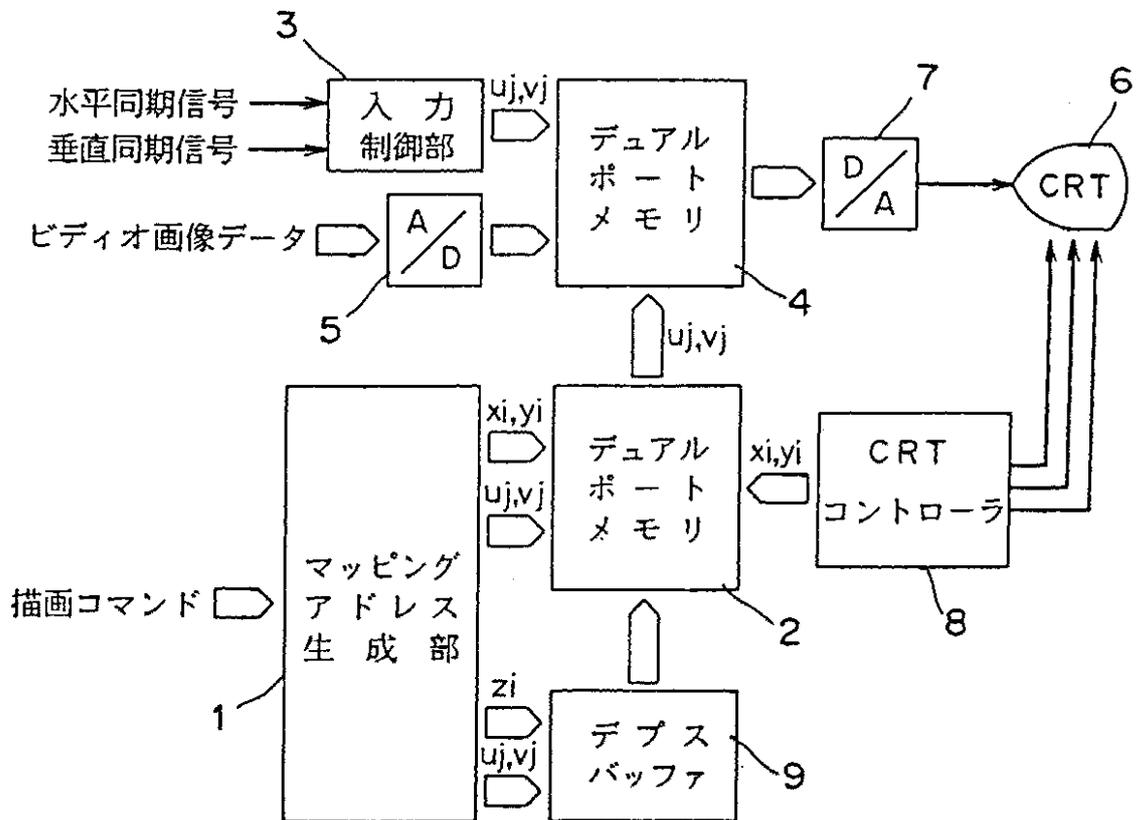
【第10図】



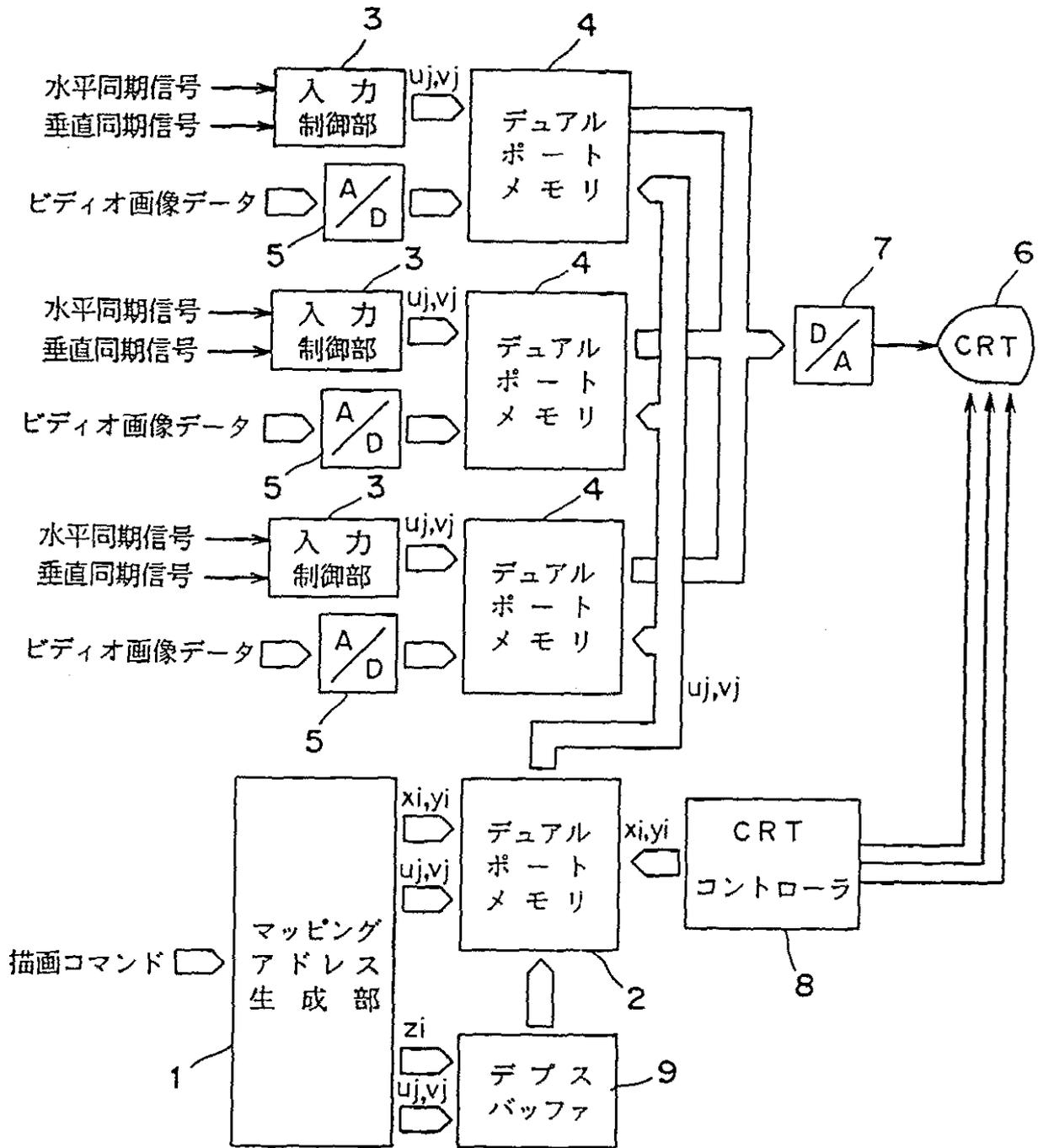
【第3図】



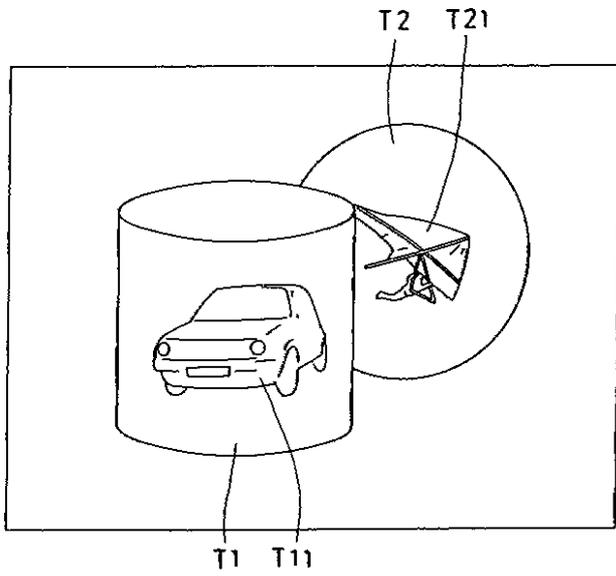
【第4図】



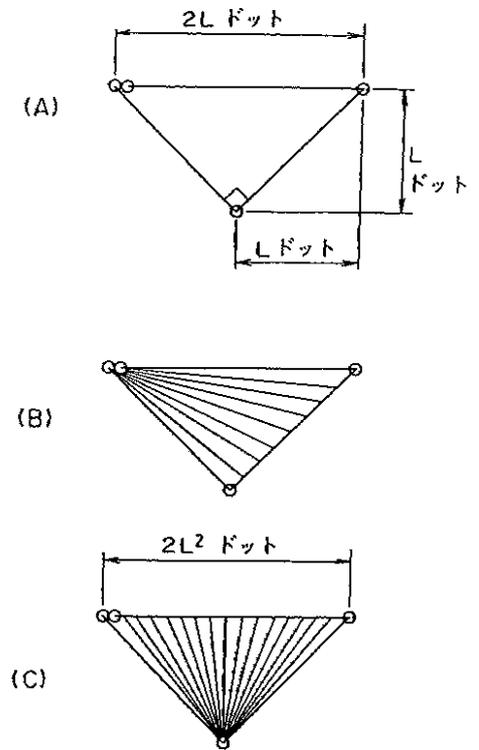
【第5図】



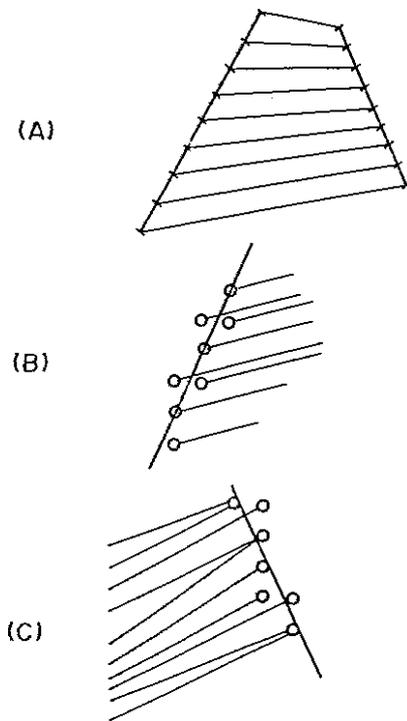
【第 7 図】



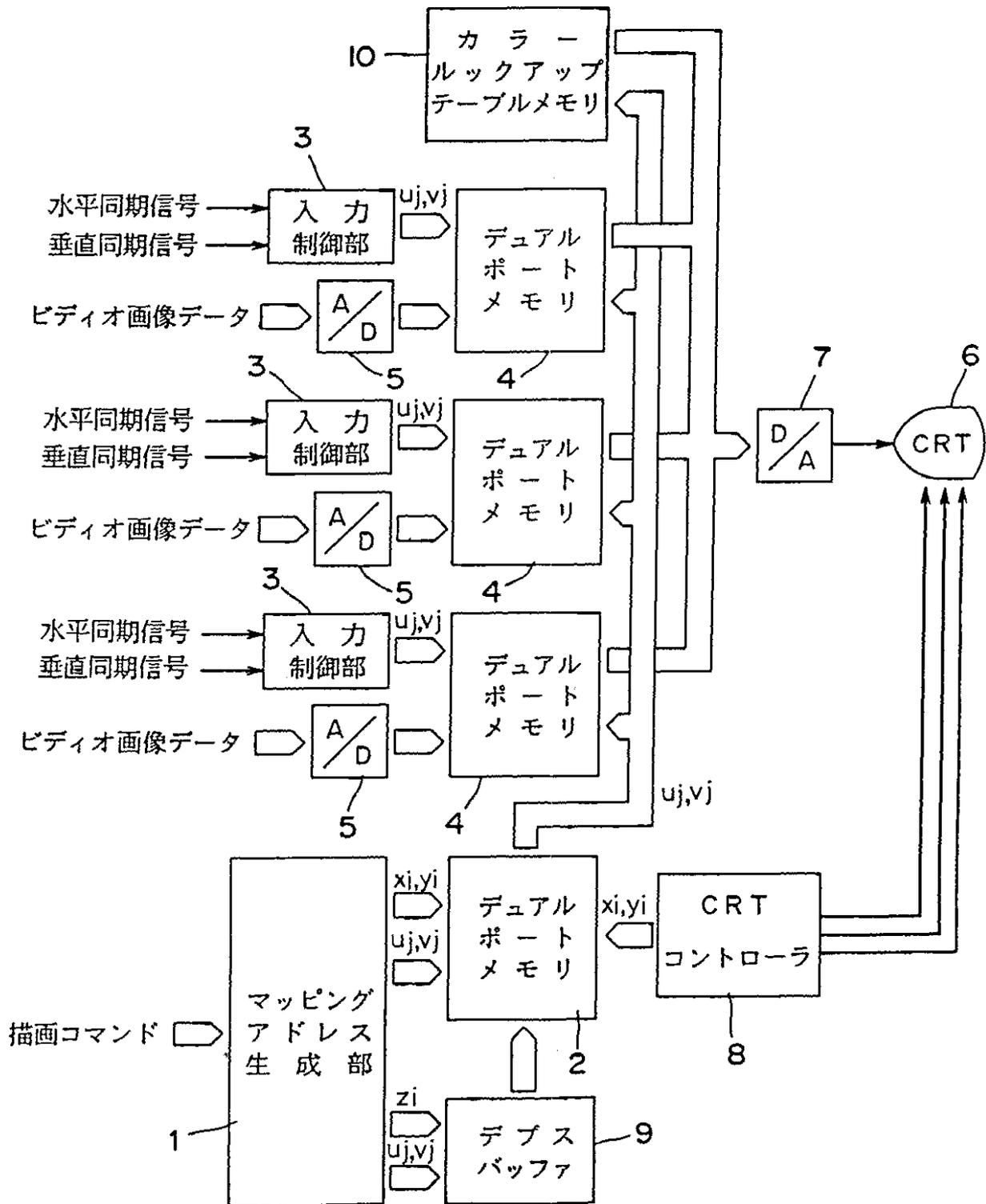
【第 1 1 図】



【第 1 2 図】



【第8図】



【第 9 図】

