

(19) 日本国特許庁 ( J P )

(12) 特 許 公 報 ( B 2 )

(11) 特許番号

第2694758号

(45) 発行日 平成 9 年 (1997) 12 月 24 日

(24) 登録日 平成 9 年 (1997) 9 月 12 日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/32	3 1 0		G 0 6 F 9/32	3 1 0 J
12/00	5 9 9		12/00	5 9 9

請求項の数 4 (全 8 頁)

(21) 出願番号	特願平1-101388	(73) 特許権者	999999999 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル
(22) 出願日	平成1年(1989)4月20日	(72) 発明者	上田 智章 滋賀県草津市岡本町字大谷1000番地の2 ダイキン工業株式会社滋賀製作所内
(65) 公開番号	特開平2-278425		
(43) 公開日	平成2年(1990)11月14日		
審判番号	平7-9671	合議体	審判長 祖父江 栄一 審判官 大橋 隆夫 審判官 斎藤 操
		(56) 参考文献	特開 昭61-202225 ( J P , A )

(54) 【発明の名称】 ビット・フィールド制御装置

1

(57) 【特許請求の範囲】

【請求項1】中央演算処理手段(1)と、インストラクション格納手段(2)と、外部メモリ空間にマップされかつ処理手順が定められている処理手段(5)とを有し、共通のバス(6)を通してアドレスを供給することにより所望の処理手段(5)を動作させるシステムにおいて、インストラクション格納手段(2)の連続する所定の領域(2a)に対応して割り当てられ、かつ処理手段(5)を制御するためのデータを出力する制御データ出力手段(4)(11)を有しているとともに、インストラクション格納手段(2)の制御データ出力手段(4)(11)に対応付けられた前記連続する所定の領域(2a)がアクセスされた場合にのみ制御データ(4)(11)からのデータ出力を許容する制御手段(3)を有していることを特徴とするビット・フィールド制御装置。

2

【請求項2】インストラクション格納手段(2)の制御データ出力手段(4)(11)に対応付けられた前記連続する所定の領域(2a)が、外部バスに対するインストラクション実行サイクルを必要とせず、かつ処理手段(5)の処理手順を規定する一連のインストラクションが格納された領域であり、制御データ出力手段(4)(11)が、インストラクション格納手段(2)に対するアクセス・データに基づいて定められたアドレスを制御データとして格納しているものであり、処理手段がプログラマブル・ロジック・デバイス(5)である上記特許請求の範囲第1項記載のビット・フィールド制御装置。

【請求項3】制御データ出力手段(11)が、初期化時に他の媒体からアドレスを讀込んで格納するものであり、制御手段(3)が書込みを許容する制御信号をも出力するものである上記特許請求の範囲第1項記載のビット・

10

フィールド制御装置。

【請求項 4】中央演算処理手段(1)から出力されるアドレスを制御データとしてそのまま処理手段(5)に供給するデータ一時保持手段(13)をさらに有しているとともに、制御手段(3)が、制御データ出力手段(4)(11)、データ一時保持手段(13)の一方からのデータ出力を許容するものである上記特許請求の範囲第1項から第3項の何れかに記載のビット・フィールド制御装置。

【発明の詳細な説明】

<産業上の利用分野>

この発明はビット・フィールド制御装置に関し、さらに詳細に言えば、外部メモリ空間の一部にプログラマブル・ロジック・デバイス(以下、PLDと略称する)等の処理手段をマップとして多数のビットを制御する場合に好適なビット・フィールド制御装置に関する。

<従来の技術、および発明が解決しようとする課題>

従来からマイクロ・コンピュータ等の中央演算処理装置(以下、CPUと略称する)を用いて多数の制御線を高速に、かつ並列に制御することが種々の分野で行なわれており、このような制御を実現するために、CPUのデータ・メモリ空間、I/O空間の特定の領域をPLDに割当てる構成が採用されている。第5図は従来例を概略的に示すブロック図であり、CPU(31)から出力されるアドレスをアドレス・バス(32)を通してプログラム・メモリ(33)および複数個のPLD(34)に供給するようにしているとともに、CPU(31)とプログラム・メモリ(33)との間においてデータ・バス(35)を通してデータの授受を行なうようにしている。そして、CPU(31)から出力される制御データを制御バス(36)を通してプログラム・メモリ(33)および複数個のPLD(34)に供給するようにしている。

したがって、従来公知のように、CPU(31)の制御バス(36)の各信号線のタイミングに基づくプログラム・メモリ(33)および複数個のPLD(34)の制御を行なうことにより、1回のアクセスでかなりきめ細かい制御を行なうことができる。

しかし、上記の構成においては、プログラム・メモリ(33)に対するアドレス・バスとデータ・メモリ空間またはI/O空間に対するアドレス・バスとが共用されているので、一般的には所定のインストラクションを実行しようとするならば、上記共通のバスを時分割で使用することによりインストラクションのフェッチと外部データ空間またはI/O空間のアクセスとを多数回交互に実行しなければならない可能性が高く、インストラクション・フェッチ・サイクルがかなりの時間を占有するのでシステム全体としての処理速度を余り向上させることができない。例えば、6000H番地をアクセスするために、LD A, (6000H)

のインストラクションをザイログ社製のZ80を使用して

実行する場合には、広範囲なアドレスを連続してランダム・アクセスすることができないので、

32H, 00H, 60Hの3バイトのインストラクション・フェッチが必要であるから、リフレッシュ・サイクルを考慮しなければ、3回のインストラクション・フェッチと1回のインストラクション実行が必要になっていたのである。

このような問題を解消させようとするならば、プログラム・メモリに対するアドレス・バスと外部メモリ空間またはI/O空間に対するアドレス・バスとを分離すればよいのであるが、CPU(31)のピン数が増加し、パッケージを大型化して大幅なコスト・アップを伴うことになる。

<発明の目的>

この発明は上記の問題点を鑑みてなされたものであり、プログラム・メモリに対するアドレス・バスと外部メモリ空間またはI/O空間に対するアドレス・バスとを共用するシステムにおける処理速度を向上させることができるビット・フィールド制御装置を提供することを目的としている。

<課題を解決するための手段>

上記の目的を達成するための、この発明のビット・フィールド制御装置は、インストラクション格納手段の連続する所定の領域に対応して割り当てられ、かつ処理手段を制御するためのデータを出力する制御データ出力手段を有しているとともに、インストラクション格納手段の制御データ出力手段に対応付けられた前記連続する所定の領域がアクセスされた場合にのみ制御データ出力手段からのデータ出力を許容する制御手段を有している。

但し、インストラクション格納手段の連続する所定の領域が、外部バスに対するインストラクション実行サイクルを必要とせず、かつ処理手段の処理手順を規定する一連のインストラクションが格納された領域であり、制御データ出力手段が、インストラクション格納手段に対するアクセス・データに基づいて定められたアドレスを制御データとして格納しているものであり、処理手段がプログラマブル・ロジック・デバイスであることが好ましい。

また、制御データ出力手段が、初期化時に他の媒体からアドレスを読み込んで格納するものであり、制御手段が書込みを許容する制御信号をも出力するものであることが好ましい。

これらの場合において、中央演算処理手段から出力されるアドレスを制御データとしてそのまま処理手段に供給するデータ一時保持手段をさらに有しているとともに、制御手段が、制御データ出力手段、データ一時保持手段の一方からのデータ出力を許容するものであることが一層好ましい。

<作用>

以上の構成のビット・フィールド制御装置であれば、

中央演算処理手段により、外部メモリ空間にマップされた処理手段を制御して所望の処理動作を行なわせる場合において、一般的には、中央演算処理装置からインストラクション格納手段にインストラクションをフェッチするためのアドレスを供給し、次いで外部メモリ空間またはI/O空間に対するアクセスを行なうためのアドレスを供給することによりインストラクション・フェッチおよびインストラクション実行を行なうことができる。

しかし、インストラクション格納手段の連続する所定の領域に格納されているインストラクションをフェッチする場合には、フェッチのためのアドレスがインストラクション格納手段に供給されるだけでなく、制御データ出力手段にも供給され、しかも制御データ出力手段からのデータ出力を許容すべく制御手段が制御されるので、中央演算処理手段によりインストラクション・フェッチ動作と並行して制御データ出力手段から処理手段への制御データ供給動作が行なわれることになり、フェッチのためのアドレス供給から必要な処理実行までの所要時間を短縮することができる。

そして、第2の発明であれば、インストラクション格納手段の連続する所定の領域に格納されているインストラクションをフェッチする場合に、制御データ出力手段から出力されるアドレスに基づいて該当するPLDを選択して所定の処理を行なわせることができ、しかも中央演算処理手段に取込まれるインストラクションは外部バスに対する実行サイクルを必要としないのみならず、処理手順を規定する一連のインストラクションであるから、必要に応じて上記処理を実行した後、通常の処理に戻ることができる。

また、第3の発明であれば、初期化時に制御データ出力手段が書き込み許容状態になり、他の媒体からアドレスを読み込むので、制御データ出力手段の柔軟性を高めることができる。即ち、アドレスを読み込む媒体を変更することにより制御データ出力手段の内容を簡単に変更することができ、種々の処理に簡単に適合させることができる。

さらに、第4の発明であれば、中央演算処理手段によるインストラクション・フェッチおよびインストラクション実行を順次行なわせる通常の処理をも行なわせることができ、システムの汎用性を高めることができる。

#### <実施例>

以下、実施例を示す添付図面によって詳細に説明する。

第1図はこの発明のビット・フィールド制御装置の一実施例を示すブロック図であり、CPU(1)と、インストラクション格納手段としてのプログラム・メモリ(2)と、制御手段としてのデコーダ(3)と、制御データ出力手段としてのリード・オンリー・メモリ(以下、ROMと略称する)(4)と、処理手段としての複数のPLD(5)とを有している。そして、CPU(1)から

出力されるアドレスをアドレス・バス(6)を通してプログラム・メモリ(2)、デコーダ(3)およびROM(4)に供給しているとともに、CPU(1)とプログラム・メモリ(2)との間においてデータ・バス(7)を通してデータ授受を行なうようにしている。また、CPU(1)から出力される制御データを制御バス(8)を通してプログラム・メモリ(2)、デコーダ(3)およびPLD(5)に供給しており、ROM(4)から出力されるアドレスをPLD用アドレス・バス(9)を通して各PLD(5)に供給している。

上記プログラム・メモリ(2)は第2図Aに示すように一部がROM(4)とオーバーラップしてマップされた特定領域(2a)であり、この特定領域(2a)に“NOP”“RETURN”等の外部バスに対してインストラクション実行サイクルを必要としないインストラクションのみが格納されており、残余の一般領域(2b)には任意のインストラクション(“LD A,B”等)が格納されている。そして、上記ROM(4)は第2図Bに示すように特定領域(2a)に対応して割当てられており、各アドレス毎に該当するPLD(5)に供給すべきアドレスを格納している。

上記デコーダ(3)は、CPU(1)から出力されるアドレスに基づいて特定領域(2a)のアクセスであるか一般領域(2b)のアクセスであるかに対応するデコード信号をROM(4)に対する状態制御信号 $\overline{CS}$ および出力許可信号 $\overline{OE}$ として出力する。

上記の構成のビット・フィールド制御装置の動作は次のとおりである。

例えば、プログラム・メモリ(2)の特定領域(2a)のアドレス8000H,8001H,8002H,8003Hにそれぞれ“NOP”が格納されているとともに、アドレス8004Hに“RET”が格納されており、ROM(4)の対応アドレスにそれぞれ4032H,5611H,4001H,5422Hおよび4000Hが格納されている場合には、CPU(1)から順次アドレス8000H,8001H,8002H,8003Hを出力することにより、プログラム・メモリ(2)から“NOP”のインストラクションが取込まれるので、CPU(1)はインストラクション・フェッチのみを反復することになる。そして、上記アドレスが出力されることにより、デコーダ(3)は特定領域(2a)がアクセスされたことを認識して出力許可信号 $\overline{OE}$ をROM(4)に供給するので、上記各アドレスに対応して格納されている4032H,5611H,4001H,5422HをPLD(5)に供給し、インストラクション・フェッチと並行して予め設定された処理を行なわせる。その後、CPU(1)から8004Hを出力することにより“RET”のインストラクションが取込まれるので一連の処理を終了するための処理を行ない、同時にROM(4)がPLD(5)に対して4000Hを供給する。

以上のように特定領域(2a)に対応する一連の処理を行なった後は、例えば、CPU(1)から2011Hを出力することによりプログラム・メモリ(2)の一般領域(2b)

から“LD A,B”のインストラクションを取込み、このインストラクションを実行することができる。即ち、CPU ( 1 ) においては“NOP”1バイトのフェッチを行なうだけでよく、ROM ( 4 ) に予め格納されているアドレスに基づいて該当するPLD ( 5 ) を動作させ、任意アドレスをランダムにアクセスすることができる。そして、任意アドレスをランダムにアクセスした結果得られたデータに基づいて“LD A,B”のインストラクションを実行することができる。

以上の説明から明らかなように、CPU ( 1 ) は外部バスをインストラクション・フェッチ時にのみ使用することになり、しかもインストラクション・フェッチと並行してインストラクション実行を行なうことになるので、従来例と比較して著しく短い時間間隔でPLD ( 5 ) による複数ビットの同時制御を行なうことができる。そして、上記の構成のビット・フィールド制御装置をグラフィック・パイプライン等に組込むことが可能である。描画速度の向上に大きく貢献できることになる。

#### <実施例 2 >

第 3 図はこの発明のビット・フィールド制御装置の他の実施例を示すブロック図であり、上記実施例と異なる点は、ROM ( 4 ) に変えてデータの書込みが可能なスタティック・ランダム・アクセス・メモリ ( 以下、SRAM と略称する ) ( 11 ) を用いた点およびプログラム・メモリ ( 2 ) からデータ・バス ( 7 ) へ出力されたデータをバッファ ( 12 ) およびPLD用アドレス・バス ( 9 ) を通してSRAM ( 11 ) に書込み得るようにした点のみである。

また、この実施例においては、デコーダ ( 3 ) が状態制御信号  $\overline{CS}$  および出力許可信号  $\overline{OE}$  をSRAM ( 11 ) に供給するとともに、初期化時であることを認識してSRAM ( 11 ) およびバッファ ( 12 ) にそれぞれ書込み許可信号  $\overline{WE}$  および出力許可信号  $\overline{OE}$  を供給するようにしている。

したがって、この実施例においては、初期化時にプログラム・メモリ ( 2 ) からSRAM ( 11 ) に必要なアドレスが書込まれ、その後は上記実施例と同様の作用を行なうことができる。この結果、システムの仕様を変更する場合にSRAM ( 11 ) の内容を変更する必要がなく、単にプログラム・メモリ ( 2 ) の内容のみを変更すればよい。

また、以上の説明から明らかなように、プログラム・メモリ ( 2 ) からSRAM ( 11 ) にアドレスを供給する代わりに、他の外部媒体からSRAM ( 11 ) にアドレスを供給することが可能であり、この場合において外部媒体からプログラム・メモリ ( 2 ) にインストラクションを供給することも可能である。

#### <実施例 3 >

第 4 図はこの発明のビット・フィールド制御装置のさらに他の実施例を示すブロック図であり、第 3 図の実施例と異なる点は、CPU ( 1 ) から出力されるアドレスをP

LD用アドレス・バス ( 9 ) を通してPLD ( 5 ) に供給するためのバッファ ( 13 ) をさらに有している点のみである。但し、デコーダ ( 3 ) は、バッファ ( 13 ) に対しても出力許可信号  $\overline{OE}$  を供給するようにしているが、SRAM ( 11 ) およびバッファ ( 13 ) の何れかのみからの出力が許可される。

したがって、この実施例においては、SRAM ( 11 ) からの出力が許可された状態において上記と同様の作用を達成でき、逆に、バッファ ( 13 ) からの出力が許可された状態において従来例と同様の動作を行なわせることができる。この結果、従来例において開発されたソフトウェアをそのまま使用することもでき、汎用性を著しく高めることができる。

#### <発明の効果 >

以上のように第 1 の発明は、プログラム・メモリ空間用のバスとデータ・メモリ空間、I/O空間用バスとが分離されていなくても、中央演算処理手段によるインストラクション・フェッチ動作と並行して制御データ出力手段から処理手段への制御データ供給動作を行なうことにより、インストラクション・フェッチのためのアドレス供給から必要な処理実行までの所要時間を短縮することができるという特有の効果奏する。

第 2 の発明も、インストラクション・フェッチのためのアドレス供給から必要な処理実行までの所要時間を短縮することができるという特有の効果奏する。

第 3 の発明は、アドレスを読み込む媒体を変更することにより制御データ出力手段の内容を簡単に変更することができ、種々の処理に簡単に適合させることができるという特有の効果奏する。

第 4 の発明は、中央演算処理手段によるインストラクション・フェッチおよびインストラクション実行を順次行なわせる通常の処理をも行なわせることができ、システムの汎用性を高めることができるという特有の効果奏する。

#### 【図面の簡単な説明】

第 1 図はこの発明のビット・フィールド制御装置の一実施例を示すブロック図、

第 2 図はプログラム・メモリとROMとの関係を示す概略図、

第 3 図はこの発明のビット・フィールド制御装置の他の実施例を示すブロック図、

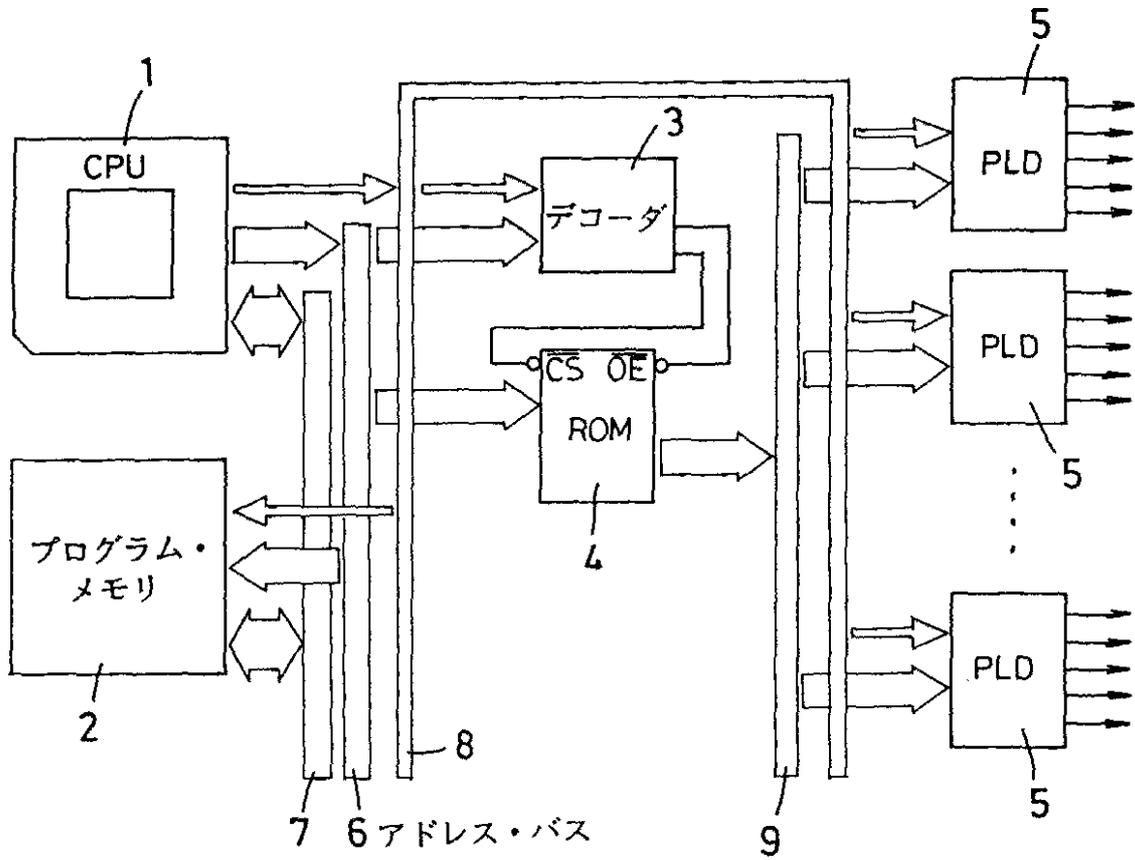
第 4 図はこの発明のビット・フィールド制御装置のさらに他の実施例を示すブロック図、

第 5 図は従来例を概略的に示すブロック図。

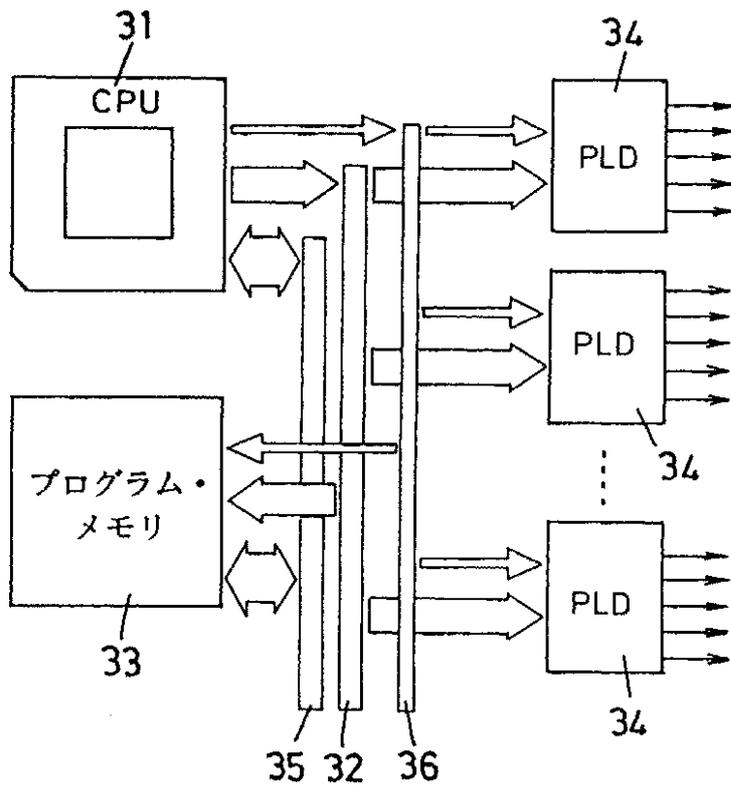
( 1 ) .....CPU、( 2 ) .....プログラム・メモリ、( 2a ) .....特定領域、( 3 ) .....デコーダ、( 4 ) .....ROM、

( 5 ) .....PLD、( 6 ) .....アドレス・バス、( 11 ) .....SRAM、( 13 ) .....バッファ

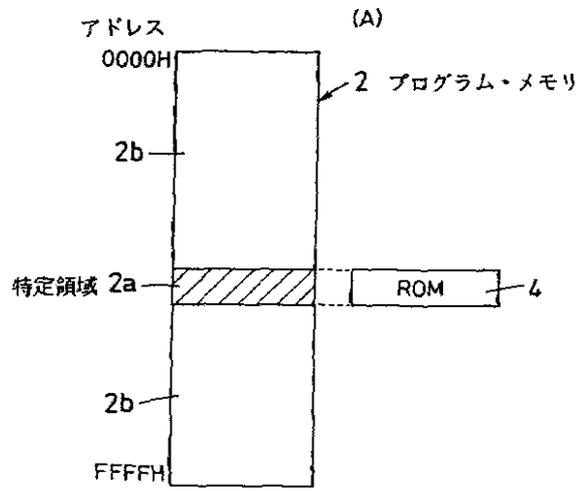
【第1図】



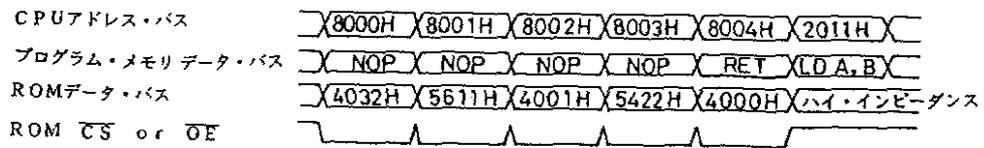
【第5図】



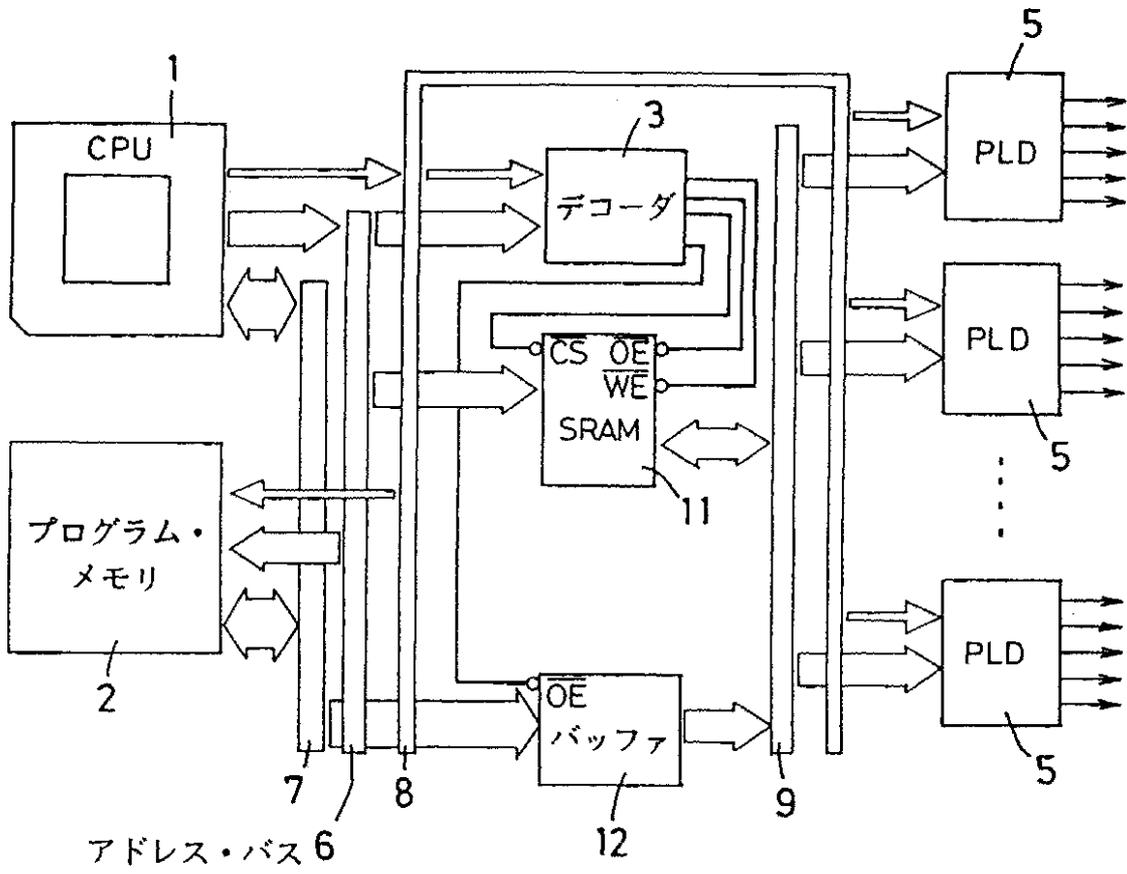
【第 2 図】



(B)



【第3図】



【第4図】

