

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2668864号

(45)発行日 平成9年(1997)10月27日

(24)登録日 平成9年(1997)7月4日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 15/40			G 0 6 F 15/72	4 2 0

発明の数1(全 9 頁)

(21)出願番号	特願昭61-227388	(73)特許権者	999999999 ダイキン工業株式会社 大阪府大阪市北区中崎西2丁目4番12号 梅田センタービル
(22)出願日	昭和61年(1986)9月25日	(72)発明者	上田 智章 草津市岡本町字大谷1000番地の2 ダイ キン工業株式会社滋賀製作所内
(65)公開番号	特開昭63-81584	(72)発明者	西口 和夫 草津市岡本町字大谷1000番地の2 ダイ キン工業株式会社滋賀製作所内
(43)公開日	昭和63年(1988)4月12日	(74)代理人	弁理士 津川 友士
		審査官	新宮 佳典

(54)【発明の名称】 断面図描画装置

1

(57)【特許請求の範囲】

1. 描画すべきピクセルデータを描画プロセッサから描画メモリに伝送し、描画メモリの内容に基づいてディスプレイ上に3次元図形を表示する3次元グラフィックディスプレイ装置において、描画図形の直線補間演算を行なう第1の補間手段と、切断面方程式に基づいて描画図形の2端点の座標値からそれぞれ算出された切断面のz値と描画図形の前記2端点のz値との差分値同士を直線補間する第2の補間手段と、第2の補間手段により得られる補間データの符号を判別し、判別結果を判別信号として出力する判別手段と、各ピクセル毎に、判別手段から出力される判別信号に応じて描画図形のz値が切断面のz値を基準として描画側であるか否かを判別し、描画図形のz値が描画側である場合に上記第1の補間手段からの補間データを描画メモリに書き込み、描画図形のz値が描

2

画側でない場合に上記第1の補間手段からの補間データの描画メモリへの書き込みを禁止する描画制御手段とを有することを特徴とする断面図描画装置。

2. 第2の補間手段が、前記差分値が互に異なる符号である場合にのみ補間演算を行なうものであるとともに、判別手段が、第2の補間手段が補間演算を行なわない場合に、差分値に基づいて判別信号を描画制御手段に出力するものである上記特許請求の範囲第1項記載の断面図描画装置。

10 3. 切断面が複数であり、各切断面に対して順次描画すべきか否かの判別を行なうものである上記特許請求の範囲第1項記載の断面図描画装置。

【発明の詳細な説明】

<産業上の利用分野>

この発明は断面図描画装置に関し、さらに詳細にいえ

ば、3次元グラフィックディスプレイ装置において3次元図形の所望箇所を切断した状態を表示するための断面図描画装置に関する。

<従来の技術>

従来から3次元グラフィックディスプレイ装置においては、隠面処理機能、および断面処理機能が重要な役割を果たすので、上記両機能を具場させることが必須になってきている。

第4図は隠面処理機能、および断面処理機能を具備する3次元グラフィックディスプレイ装置の従来例を示すブロック図であり、図示しないホストコンピュータから座標データが供給される座標変換プロセッサ(91)と、座標変換プロセッサ(91)により変換が施されたデバイス座標データが供給されるクリッププロセッサ(92)と、クリッププロセッサ(92)によりクリッピングが施されたプリミティブデータが供給される描画プロセッサ(93)と、描画プロセッサ(93)から出力されるピクセルデータが供給される描画メモリ(94)と、描画プロセッサ(93)から出力されるピクセルデータが供給されることにより、以前に設定されている座標データとに基づいて描画メモリ(94)に書込み許可信号を供給するZバッファ(95)と、描画メモリ(94)に格納されているピクセルデータに基づいて可視的表示を行なわせるモニタ(96)とを具備している。

したがって、ホストコンピュータから供給されてきた座標データを座標変換プロセッサ(91)によりデバイス座標データに変換し、ユーザが指定する領域の外にあるプリミティブデータをクリッププロセッサ(92)によりクリッピングし、描画プロセッサ(93)に供給する。そして、描画プロセッサ(93)においては、上記指令領域内にあるプリミティブデータの各点を x, y, z の各方向に補間しながらZバッファ(95)に z データを供給するとともに、描画メモリ(94)に (x, y) データを供給する。

上記Zバッファ(95)においては、 (x, y) データ毎の z 値を記憶し、ピクセルデータ (x, y, z_1) と現在記憶している (x, y, z_0) とを比較し、 $0 < z_1 < z_0$ の状態であれば、 (x, y, z_1) を表示させるべき描画メモリ(94)に書込み許可信号を供給し、 z_1 を新たな z_0 としてセットする。逆に、 $z_0 < z_1$ の場合には、書込み許可信号を出力しない。したがって、Zバッファ(95)を使用して z_0 値を順次更新してゆくことにより、隠面処理を行なうことができる。

また、断面表示を行なう場合には、上記クリッププロセッサ(92)に断面の z 値を供給しておき、 x, y に関してクリッピングが施された各プリミティブデータを再びクリッププロセッサ(92)に供給しながら、上記 z 値より手前のプリミティブデータを排除するとともに、交差する場合にはクリップし、得られたプリミティブデータを描画プロセッサに供給すればよく、3次元図形の断面

表示を行なうことができる。

<発明が解決しようとする問題点>

上記の構成の断面表示機能を実行する場合には、断面との交差点を得るために中点分割法、直線方程式代入法が使用されるのであるが、何れもソフトウェア、ハードウェアが複雑であり、しかも処理時間が長くなってしまふという問題がある。即ち、中点分割法においては、収束が遅いため結果的に処理が遅くなるのであり、直線方程式代入法においては乗算、および除算を行なわなければならないので、処理が複雑化するとともに、処理が遅くなるのである。

また、クリッププロセッサ(92)に対して断面の z 値を供給しておくのであるから、平面1枚程度の切断面しか定義することができず、折れ面等に基づく断面表示は、実際には殆ど行なうことができないという問題もある。

また、上記問題点を解消するために、予め切断平面をデブスバッファに描画しておいて、デブスバッファに描画された各ピクセルの z 値と実際に描画すべき断面図形の各ピクセルの z 値とを比較しながら必要なピクセルのみを描画することが考えられる。

そして、このようにすれば、切断面が平面であっても、折れ面であっても、自由曲面であっても、簡単に表面表示を行なうことができるという利点を有すると思われる。

しかし、この場合には、切断平面を描画した後、実際の図形を描画しなければならないのであるから、全体として断面図の描画速度を余り高速化することができないのみならず、切断平面を描画するためのデブスバッファのプレーン数を隠面処理を行なうための z バッファのプレーン数と等しくする必要があり、使用頻度が低い断面図描画のために多プレーン数のデブスバッファを常時準備しておく関係上、構成が複雑化し、しかもコストアップになるという問題がある。

<発明の目的>

この発明は上記の問題点を鑑みてなされたものであり、システム構成を簡素化することができるとともに、各種の切断面に基く断面表示を高速に、かつ簡単に行なうことができる断面図描画装置を提供することを目的としている。

<問題点を解決するための手段>

上記の目的を達成するための、この発明の断面図描画装置は、断面図形の直線補間演算を行なう第1の補間手段と、切断面方程式に基いて断面図形の2端点の座標値からそれぞれ算出された切断面の z 値と断面図形の前記2端点の z 値との差分値同士を直線補間する第2の補間手段と、第2の補間手段により得られる補間データの符号を判別し、判別結果を判別信号として出力する判別手段と、各ピクセル毎に、判別手段から出力される判別信号に応じて断面図形の z 値が切断面の z 値を基準として描画側であるか否かを判別し、断面図形の z 値が描画側

である場合に上記第 1 の補間手段からの補間データを描画メモリに書込み、描画図形の z 値が描画側でない場合に上記第 1 の補間手段からの補間データの描画メモリへの書込みを禁止する描画制御手段とを有するものである。

但し、上記第 2 の補間手段としては、前記差分値が互に異なる符号である場合にのみ補間演算を行なうものであるとともに、判別手段が、第 2 の補間手段が補間演算を行なわない場合に、差分値に基づいて判別信号を描画制御手段に出力するものであることが好ましい。

また、切断面が複数であり、各切断面に対して順次描画すべきか否かの判別を行なうものであることが好ましい。

<作用>

以上の構成の断面図描画装置であれば、描画すべきピクセルデータを描画プロセッサから描画メモリに伝送し、描画メモリの内容に基づいてディスプレイ上に 3 次元図形を表示する場合において、第 1 の補間手段により描画図形の直線補間演算を行なう。

また、切断面方程式に基づいて描画図形の端点の座標値から算出された切断面の z 値（以下、切断面の端点の z 値と略称する）と描画図形の端点の z 値との差分値を第 2 の補間手段により直線補間し、第 2 の補間手段により得られた補間データの正負を判別手段により判別して描画制御手段に供給する。

したがって、描画制御手段においては、各ピクセル毎に、判別手段から出力される判別信号に基づいて描画図形の z 値が切断面の z 値を基準として描画側であるか否かを判別し、描画図形の z 値が描画側である場合に上記第 1 の補間手段からの補間データを描画メモリに書込み、描画図形の z 値が描画側でない場合に上記第 1 の補間手段からの補間データの描画メモリへの書込みを禁止し、断面図を描画させることができる。

また、上記第 2 の補間手段が、切断面の端点の z 値と描画図形の端点の z 値との差分値が互に異なる符号である場合にのみ補間演算を行なうものであるとともに、判別手段が、第 2 の補間手段が補間演算を行なわない場合に、差分値に基づいて判別信号を出力するものである場合には、第 2 の補間手段による直線補間演算を減少させることができる。

さらに詳細に説明すれば、例えば、切断面が $ax + by + cz + d = 0$ で表現されるものであり、描画点の座標が (x_0, y_0, z_0) である場合には、上記 x_0, y_0 に対応する切断面上の z 座標値 $zB1 \{ = - (ax_0 + by_0 + d) / c \}$ と上記 z_0 との大小関係により描画すべきか否か、および第 2 の補間手段による直線補間演算を行なうべきであるか否かが決定される。

したがって、描画線分については、始点の座標 (x_1, y_1, z_1) 、および終点の座標 (x_2, y_2, z_2) に対応する切断面上の z 座標値 $zB1 \{ = - (ax_1 + by_1 + d) / c \}$ 、 $zB2$

$\{ = - (ax_2 + by_2 + d) / c \}$ と上記 z_1, z_2 との大小関係により、切断面と交差しているか否かを判別することができ、交差していない場合（第 1 図 A, C 参照）には、切断面の何れの側に位置するか、即ち、両差分値の正負によって描画すべきであるかが判別され（第 1 図 D, F 参照）、交差している場合（第 1 図 B 参照）には、切断面の端点の z 値と描画線分の端点の z 値との差分値について直線補間を行なって（第 1 図 E 参照）、直線補間結果が 0 になる点、正になる点、および負になる点を得ることができる。即ち、直線補間結果が 0 になる点が交差点であり、この交差点を境界として何れかの側のみを描画すべきであるから、上記直線補間結果の正負に基づいて何れの側を描画すべきかを判別することができる。

そして、上記判別結果、即ち、両差分値の正負、および直線補間結果の正負に基づいて、必要な描画線分、および描画線分の必要な部分のみを描画することにより、断面図を表示することができる。

同様に、ポリゴンについては、全ての頂点の座標に対応する切断面上の z 座標値と各頂点の z 座標値とに基づいて切断面と交差しているか否かを判別することができ、交差していない場合には、上記と同様に描画すべきであるか否かを判別することができる。逆に交差している場合には、上記と同様に両端点の差分値の直線補間を行なうことにより直線補間結果を得、直線補間結果の正負に基づいて描画すべきか否かを判別することができる。

そして、この場合には、切断面と交差していないと判別されたポリゴンに対して z 値の補間動作を省略することができる。

また、切断面が複数であり、各切断面に対して順次描画すべきか否かの判別を行なうものである場合には、高い自由度で断面表示を行なわせることができる。

<実施例>

以下、実施例を示す添付図面によって詳細に説明する。

第 2 図は断面図描画装置の一実施例の要部を示すブロック図であり、図示しない上位プロセッサからの線分の両端点のデータ（座標値、輝度、色、および断面表示処理制御情報等）を入力として x 値、y 値用増分値を算出する除算器（1）と、隠面処理用の z 値の増分値を算出する除算器（2）と、断面表示制御用の切断面の端点の z 値と描画図形の端点の z 値との差分値の増分値を算出する除算器（3）と、カラーコード用の増分値を算出する除算器（4）とを有している。

そして、上記除算器（1）からの増分値データ、および初期値データを入力とするマイナー加算器（5）、メジャー加算器（6）と、両加算器（5）（6）からの累積加算データを入力とするセレクタ（7）と、セレクタ（7）から出力される選択データを一時的に保持する x 値用、y 値用のラッチ回路（8）（9）と、ラッチ回路（8）からの出力データを入力とするアドレス変換

10

20

30

40

50

ROM (10) と、上記ラッチ回路 (9) からの出力データ、およびアドレス変換ROM (10) から読み出しデータを入力とするフレームメモリアドレス用のラッチ回路 (11) を有している。

また、上記除算器 (2) からの増分値データと初期値データを入力とする加算器 (12) と、加算器 (12) からの累積加算結果を一時的に保持するラッチ回路 (13) と、ラッチ回路 (13) からの出力データを入力とする隠面処理用のラッチ回路 (14) とを有している。

さらに、上記除算器 (3) からの増分値データとその初期値を入力とする加算器 (15) と、加算器 (15) からの累積加算データのうち、符号データをセクショニングフラグとして一時的に保持するラッチ回路 (16) と、ラッチ回路 (16) からのセクショニングフラグデータ、および上記ラッチ回路 (8) (9) からの出力データを入力とするラインタイプハッチングパターン用のRAM (17) と、RAM (17) からの読み出しデータを一時的に保持するマスク用のラッチ回路 (18) とを有している。

さらには、上記除算器 (4) からの増分値データと初期値データを入力とする加算器 (19) と、加算器 (19) からの累積加算データを一時的に保持するカラーコード用のラッチ回路 (20) と、ラッチ回路 (20) からの出力データを一時的に保持するラッチ回路 (21) とを有している。

さらに詳細に説明すると、上記セクタ (7) には、x 軸方向の長さ y 軸方向の長さの大小関係に基いて定められるメジャー・マイナー判定用のフラグが制御信号として供給されており、上記フラグに対応して、メジャー用直線補間器 (1)、或はマイナー用直線補間器 (2) からの出力データ (x 値、および y 値) をラッチ回路 (8) (9) に供給する。即ち、描画されるべき直線の x 値、および y 値のうち、何れか大きい方を基準として直線補間を行なうことにより得られた直線補間データを選択してラッチ回路 (8) (9) に供給する。

そして、上記ラッチ回路 (8) に一時的に保持された x 値を、アドレス変換用のROM (10) に供給することにより、変換後のアドレスデータを読み出し、フレームメモリアドレス用のラッチ回路 (11) に一時的に保持させる。また、上記ラッチ回路 (9) に一時的に保持された y 値も、フレームメモリアドレス用のラッチ回路 (11) に一時的に保持させる。

さらに、上記ラッチ回路 (16) から出力される符号データが供給されているラインタイプハッチングパターン格納用のRAM (17) に、上記両ラッチ回路 (8) (9) から出力される x 値、および y 値を供給することにより、上記 x 値、および y 値に対応するマスク用のフラグをラッチ回路 (18) に一時的に保持させ、上記マスク用のフラグにより、画素を表示すべきか否かを制御する。

さらに、上記 z 値用のラッチ回路 (13) から出力される z 値が隠面処理用のラッチ回路 (14) に一時的に格納

され、例えば、最も手前側の z 値のみが表示すべき z 値データとして選択される。但し、この選択は、図示しない隠面処理用 z バッファにおいてなされる。

上記の構成の断面図描画装置の動作は次のとおりである。

上記除算器 (1) により x 値、および y 値の増分値データを得、マイナ加算器 (5)、およびメジャー加算器 (6) により累積加算データを得る。そして、x 方向の長さ、および y 方向の長さの大小関係に対応させてセクタ (7) により何れかの加算器からの累積加算データを選択し、対応するラッチ回路に一時的に保持させる。即ち、何れか一方のラッチ回路に対して、増分値を累積的に加算したデータを保持させるとともに、他方のラッチ回路に対して 1 ずつ増加させたデータを保持させる。上記ラッチ回路 (8) のデータはアドレス変換用のROM (10) に供給され、ROM (10) から読み出された、実際の描画する場合に使用されるアドレスデータ、および上記ラッチ回路 (9) からのデータがフレームメモリアドレス用のラッチ回路 (11) に保持される。

また、上記の動作と平行して、除算器 (2) からの増分値データと初期値データを加算器 (12) に供給することにより z 値の累積加算値を算出し、ラッチ回路 (13) に一時的に保持させた後、隠面処理用の z 値ラッチ回路 (14) に供給する。z 値ラッチ回路 (14) からの出力は図示しない隠面処理用 z バッファに転送され、最も手前側の z 値のみを保持する処理がなされる。

さらに、上記の動作と並行して、除算器 (4) からの増分値を加算器 (19) に供給することにより、増分値を順次累積的に加算した累積加算データを得、ラッチ回路 (20) に一時的に保持させた後、ラッチ回路 (21) に保持させる。

そして、上記全ての動作と並行させ、除算器 (3) から増分値データ (図形データの z 値と切断面の z 値との差分値に対応する増分値データ) と初期値データを加算器 (15) に供給することにより、増分値を順次累積的に加算した累積加算データを得、この累積データの符号をラッチ回路 (16) に一時的に保持させ、セクショニングフラグとしてラインタイプハッチングパターン用のRAM (17) に供給する。上記RAM (17) には、上記ラッチ回路 (8) (9) からの画素の表示位置情報が供給されており、ラッチ回路 (16) から供給されるセクショニングフラグが、描画点が切断対象でないことを示している場合には、予めRAM (17) に格納されてあったラインパターン、或はハッチングパターンに基いて、描画データのマスクフラグをラッチ回路 (18) に供給する。

逆に、ラッチ回路 (16) から供給されるセクショニングフラグ、描画点が切断対象であることを示している場合には、ラッチ回路 (8) (9) からの表示位置情報に拘わらず、常にその描画データに対してはマスクする (即ち、描画しない) ようにフラグがセットされ、ラッ

10

20

30

40

50

チ回路 (18) に供給される。

したがって、ラッチ回路 (18) に一時的に格納されているマスクデータは、そのとき一時的にラッチ回路 (11) に保持されているフレームメモリアドレスに対応する画素について切断対象になったか否か、また、切断対象にならなかった場合においても、ラインパターン、或はハッチングパターンによって描画する対象になったか否かを判別することができる。

この時点で、マスクされない (即ち、描画する対象となった) 場合にのみ、上記フレームメモリアドレス格納用のラッチ回路 (11) の内容、隠面処理用のラッチ回路 (14) の内容、およびカラーコード用のラッチ回路 (21) の内容に基づいて、図示しない隠面処理用バッファとフレームメモリにおいて隠面処理がなされ、最終的に表示対象となるか否かの判別がなされる。

以上、要約すれば、線分を描画してゆく場合において、 x 値、 y 値の補間、および隠面処理用の z 値の補間動作と同期して、図形データの z 値と切断境界面の z 値との差分値の補間を行ない、隠面処理用の z 値と切断境界面の z 値との大小関係を、累積加算結果の符号を示す符号データに基づいて判別し、上記判別結果に基づいて、画素単位で描画すべきか否かを判別することにより、高速で断面図描画を行なわせることができる。

また、隠面処理用 z バッファとは別に切断面の z 値を描画しておくためのデプスバッファ (以下、セクションングバッファと略称する) を必要としないので、構成を簡素化することができる。

さらに、切断面が複数個になった場合であっても、各切断面に対して上記動作を順次行なわせることにより、簡単に断面図の表示を行なわせることができる。但し、この場合には、切断面の増加に伴って断面図を表示するための所要時間が長くなるが、従来例のように各切断面をセクションングバッファに描画して順次断面処理を行なう場合と比較して著しく所要時間を短縮することができる。

尚、上記の構成の断面図描画装置は、第 1 図 A, B, C の何れの場合にも適用することが可能であるが、線分を z 値が連続的に一方向のみに変化するものに限定しておいて、この線分の両端の z 値と切断境界面の z 値との大小関係を予め判別し、線分の両端における大小関係の判別結果が同一でない場合 (第 1 図 B 参照) にのみ上記の動作を行なわせ、大小関係の判別結果が同一である場合 (第 1 図 A, B 参照) には、大小関係に対応させて、線分全体を描画するか、或は線分全体の描画を行なわないように制御することができる。

また、カラーコードデータについては、上記除算器 (4)、および加算器 (19) から構成される直線補間器に限定されるものではなく、例えば、フォンシェーディング用演算器等のカラーコード演算器を使用することが可能である。

第 3 図は他の実施例を示すブロック図であり、7 対の辺補間回路 (22) (23) ... (28) (32) (33) ... (38) を有しているとともに、6 個の直線描画回路 (41) (42) ... (46) を有しており、さらに、 x 値、 y 値用のラッチ回路 (51) (52)、隠面処理用のラッチ回路 (53)、切断境界面用のラッチ回路 (54)、テクスチャマッピングメモリ (61)、乗算器 (62)、汎用プロセッサ (63)、I/O インターフェース (64)、およびメモリ (65) を有している。

さらに詳細に説明すれば、上記 7 対の辺補間回路 (22) (23) ... (28) (32) (33) ... (38) は、多角形の 1 対の辺を直線補間するためのものであり、 x 値用、 y 値用、 z 値用、図形データの z 値と切断境界面の z 値との差分値用、 I 値 (輝度値) 用、 u 値用、および v 値用の補間値をそれぞれ互に同期した状態で算出する。そして、上記各辺補間回路は、それぞれ辺の長さに対応する分割数で辺の長さを除算する除算回路と、上記辺の一端の座標データに上記除算結果を累積的に加算する加算回路とから構成されている。但し、上記 u 値、および v 値はセクションング処理とは関係がなく、テクスチャ原図に対するものである。

上記直線描画回路 (41) は、上記 x 値用、 y 値用の辺補間回路 (22) (23) (32) (33) から出力される補間データを入力とするものであり、線分の両端の x 値の差と y 値の差とを除算することにより (x/y の除算、および y/x の除算を行なうことにより)、2 種類の除算結果を得る除算器 (71) と、除算器 (71) による除算結果の一方が供給されるマイナ加算器 (73) と、マイナ加算器 (73) による累積加算と同期して内容が 1 ずつ増加させられるメジャーカウンタ (72) とを有している。また、上記除算器 (71) は上記除算結果の他に、メジャー・マイナ判別フラグ (x 値と y 値の何れが大きいかを示す判別フラグであり、除算結果が 1 以上であるか否かに基づいて生成される) を出力し、ラッチ回路 (74) に供給する。

そして、上記メジャーカウンタ (72)、およびマイナ加算器 (73) からの出力データが供給されるセレクト (75) には、上記ラッチ回路 (74) からメジャー・マイナ判別フラグが供給され、判別フラグに対応させて、メジャーカウンタ (72)、マイナ加算器 (73) からの出力データが x 値用のラッチ回路 (51)、 y 値用のラッチ回路 (52) に供給される。

上記直線描画回路 (42) (43) ... (46) はそれぞれ除算器、および加算器から構成されており、表示図形用 z 座標値用の直線描画回路 (42) からの出力データをそのまま z 値用のラッチ回路 (53) に供給している。

また、表示図形用の z 座標値と接続面用の z 座標値との差分値用の直線描画回路 (43) において得られた累積加算結果の符号を示すデータ (具体的にはキャリー信号) を z フラグ用のラッチ回路 (54) に供給している。

さらに、テクスチャ原図用 u 座標値用、および v 座標値用の直線描画回路 (45) (46) からの出力データをテクスチャマッピングメモリ (61) に供給しており、テクスチャマッピングメモリ (61) からの読出しデータ、および表示図形用 I 値用の直線描画回路 (44) からの出力データを乗算器 (62) に供給することにより色データ (R, G, B データ) を得、それぞれ R 値用、 G 値用、 B 値用のラッチ回路 (81) (82) (83) に供給している。

上記の実施例の断面図描画装置の動作は次のとおりである。

即ち、上記実施例と同様にして x, y 座標値を得るとともに、両 z 座標値の差分値を得る。そして、両 z 座標値の差分値の符号に基いて z フラグをセットし、 z フラグに基いて (切断面の何れの側に位置しているかに基いて) ラッチ回路 (51) (52) (53) (81) (82) (83) に保持している画素情報が切断の対象となっているか否かが判別でき、切断対象でないと判別された場合にのみ意図の隠面処理を行なうことによって、断面図表示を行なうことができる。

また、テクスチャマッピングを行なう必要がある場合には、テクスチャ原図用 u, v 座標値用の直線描画回路 (45) (46) からのアドレスデータに基いてテクスチャマッピングメモリ (61) の該当箇所のデータを読出し、表示図形用 I 値用の直線描画回路 (44) からの出力データに基いて乗算器 (62) によりシェーディング補正等を実施した後、色データとして出力することにより、表示図形の所望領域にテクスチャ原図を投影した状態で図形の表示を行なうことができる。

以上、要約すれば、表示図形用の z 座標値と切断面用の z 座標値と差分値の補間を行ない、補間値の符号、即ち大小関係に基いて対象画素を表示すべきか否かを判別するのであるから、断面図表示のためのセクショニングバッファが不要であるとともに、セクショニングバッファへの切断面の描画動作が不要である。また、表示図形用の z 座標値と切断面用の z 座標値との差分値に基いて補間を行ない、補間データの符号に基いて表示図形を描画すべきであるか否かを判別するのであるから、 z 座標

値同士を比較するために加算器を使用する必要がなく、構成を簡素化することができる。

尚、この発明は上記の実施例に限定されるものではなく、例えば線分の両端の z 座標値と切断面の対応する z 座標値との差分値の符号を判別し、或はポリゴンの全頂点の z 座標値と切断面の対応する z 座標値との差分値の符号を判別することにより、線分単位、或はポリゴン単位で描画すべきか否かを判別することにより、処理すべき線分数、或はポリゴン数を予め減少させ、断面図の表示をより一層高速化することが可能である他、この発明の要旨を変更しない範囲内において種々の設計変更を施すことが可能である。

<発明の効果>

以上のようにこの発明は、断面図の表示を行なわせるために従来必要とされていたセクショニングバッファを不要として、構成を簡素化するとともに、コストダウンを達成することができ、しかも、切断面をセクショニングバッファに描画する必要がなくなるので、断面図の表示を高速に行なうことができるという特有の効果奏する。

【図面の簡単な説明】

第1図はこの発明の断面図描画動作を概略的に説明する図、

第2図はこの発明の断面図描画装置の一実施例の要部を示すブロック図、

第3図は他の実施例を示すブロック図、

第4図は従来例を示すブロック図。

(1) 第1の補間手段を構成する除算器、

(3) 第2の補間手段を構成する除算器、

30 (5) 第1の補間手段を構成するマイナー加算器、

(6) 第1の補間手段を構成するメジャー加算器、

(7) 第1の補間手段を構成するセレクタ、

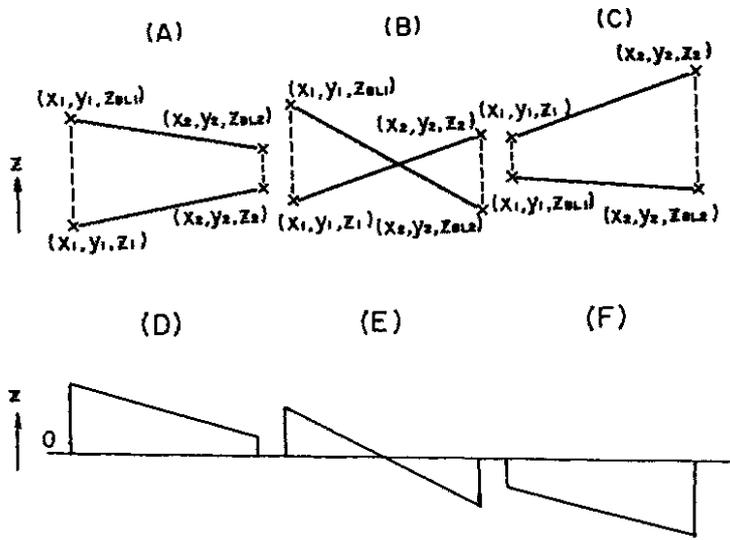
(15) 第2の補間手段を構成する加算器、

(16) 判別手段を構成するラッチ回路、

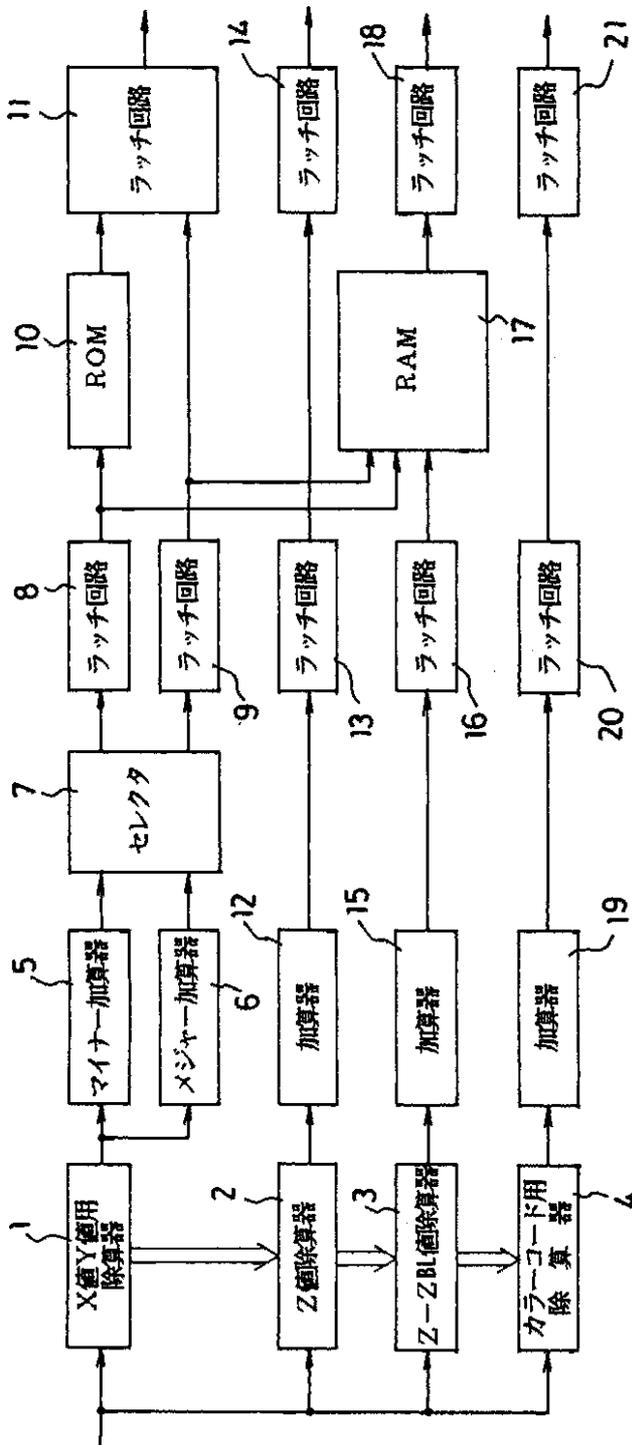
(17) 判別手段を構成するラインタイプハッチングパターン用RAM、

(18) 描画制御手段を構成するラッチ回路

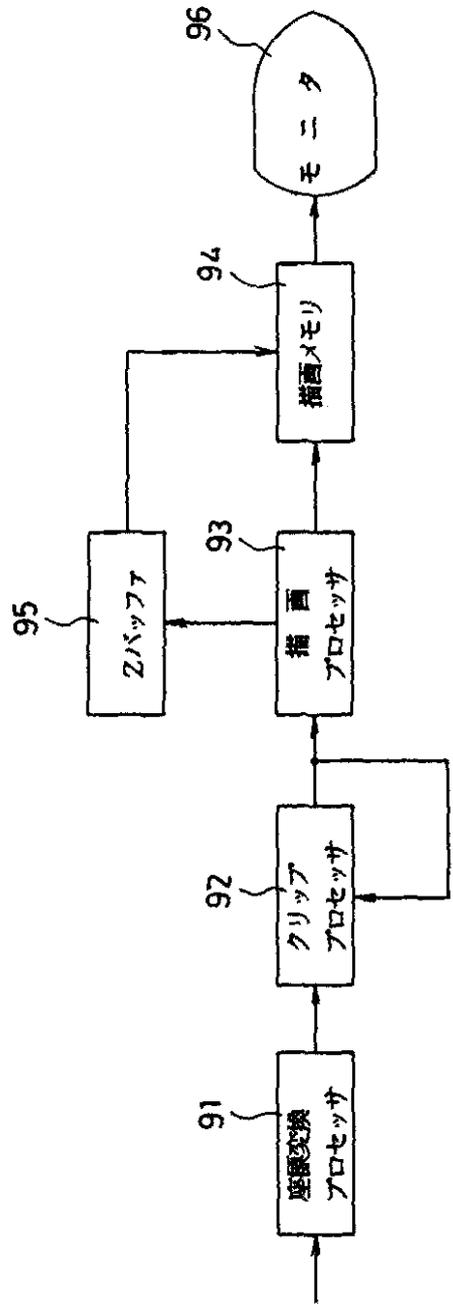
【第 1 図】



【第2図】



【第4図】



【第3図】

