

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-17239  
(P2008-17239A)

(43) 公開日 平成20年1月24日(2008.1.24)

(51) Int. Cl. F I テーマコード (参考)  
H03M 1/82 (2006.01) H03M 1/82 5J022

審査請求 未請求 請求項の数 3 O L (全 15 頁)

(21) 出願番号	特願2006-187314 (P2006-187314)	(71) 出願人	306027518
(22) 出願日	平成18年7月7日(2006.7.7)		上田 智章
			京都府京都市伏見区桃山町真斉1番地-8 ファミリー伏見桃山町ネクスタージュ508号
		(72) 発明者	上田 智章
			京都府京都市伏見区桃山町真斉1番地8フ ァミール伏見桃山町ネクスタージュ508号
		Fターム(参考)	5J022 AB08 CB06 CC01 CC04 CE08

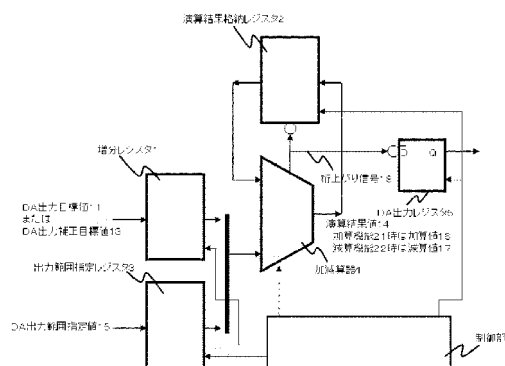
(54) 【発明の名称】 DAコンバータおよびADコンバータ

(57) 【要約】

【課題】 出力または入力範囲を任意分解能に分割設定でき、ゲインやオフセット調整を行うことが可能なパルス密度変調型DAコンバータとADコンバータを実現する。

【解決手段】 増分レジスタ1と演算結果格納レジスタ2とDA出力範囲指定レジスタ3と加減算器4とDA出力レジスタ5と制御部6により構成され、加算処理21と減算処理22からなる処理サイクルを繰り返すことによりDA出力範囲レジスタ5と増分レジスタ1に格納された値で決まるパルス密度に変換することを特徴とするパルス密度変調型DAコンバータとそのDAコンバータを要素とするADコンバータにより、加減算処理と減算処理時の桁上がり信号18に基づく演算結果値14の補正により特殊なアナログ素子を用いずに解決する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

D A 出力目標値 1 1 を格納するまたは D A 出力目標値 1 1 と出力オフセット値 1 2 を加算した D A 出力補正目標値 1 3 を格納する増分レジスタ 1 と、演算結果値 1 4 を格納する演算結果格納レジスタ 2 と、D A 出力範囲指定値 1 5 を格納する出力範囲指定レジスタ 3 と、増分レジスタ 1 と演算結果格納レジスタ 2 から供給される値を加算処理して加算値 1 6 を出力する加算機能 2 1 と演算結果格納レジスタ 2 から供給される値から出力範囲指定レジスタ 3 から供給される D A 出力範囲指定値 1 5 を減算処理して減算値 1 7 を出力する減算機能 2 2 を有するとともに桁上がり信号 1 8 を出力する加減算器 4 と、減算機能 2 2 を実行後に桁上がり信号 1 8 を保持して保持した論理値あるいはその反転論理値をパルス密度変調出力 1 9 として出力する D A 出力レジスタ 5 と、加算機能 2 1 と減算機能 2 2 を交互に実行するタイミングを制御する制御部 6 を具備し、制御部 6 が加算機能 2 1 を実行する場合に加算値 1 6 を演算結果値 1 4 として演算結果格納レジスタ 2 に格納する制御を行い、かつ減算機能 2 2 を実行する場合に桁上がり信号 1 8 に基づいて減算値 1 7 が正值であると判定される場合に減算値 1 7 を演算結果値 1 4 として演算結果格納レジスタ 2 に格納する制御を行うことにより、D A 出力目標値 1 1 または D A 出力補正目標値 1 3 をパルス密度に信号変換する機能と、D A 出力目標値 1 1 または D A 出力補正目標値 1 3 に倍率を乗ずることなく D A 出力範囲指定値の変更のみによってパルス密度に信号変換する際の倍率を変更する機能と、D A 出力範囲を D A 出力範囲指定値 1 5 で決定される任意な自然数に設定する機能と、D A 出力に出力オフセット値 1 2 で指定されるオフセット量だけシフトする機能を実現したことを特徴とするパルス密度変調型 D A コンバータ。

10

20

## 【請求項 2】

請求項 1 に記載のパルス密度変調型 D A コンバータ 3 1 と、請求項 1 に記載のパルス密度変調型 D A コンバータ 3 1 が出力する出力パルス 4 1 の供給を受けて出力パルス 4 1 の高周波成分をカットまたは減衰させるノイズシェーピングフィルタ 3 2 と、アナログ入力とノイズシェーピングフィルタ 3 2 の出力の供給を受けて大小判別を行って論理出力を行うアナログコンパレータ 3 3 と、アナログコンパレータ 3 3 の論理出力に基づいて D A 出力目標値 1 1 を増減してパルス密度変調型 D A コンバータ 3 1 に供給するとともに A D 変換値として出力する演算部 3 4 を具備し、A D 変換を行うことを特徴とするパルス密度変調型 A D コンバータ。

30

## 【請求項 3】

請求項 1 に記載のパルス密度変調型 D A コンバータ 3 1 と、請求項 1 に記載のパルス密度変調型 D A コンバータ 3 1 が出力する出力パルス 4 1 の供給を受けて出力パルス 4 1 の高周波成分をカットまたは減衰させるノイズシェーピングフィルタ 3 2 と、アナログ入力とノイズシェーピングフィルタ 3 2 の出力の供給を受けて積分する積分器 3 5 と、積分器 3 5 の出力の供給を受けて積分値が正值か負値かに基づいて 2 値論理出力を行うアナログコンパレータ 3 3 と、アナログコンパレータ 3 3 の論理出力に基づいて D A 出力目標値 1 1 を増減してパルス密度変調型 D A コンバータ 3 1 に供給するとともに A D 変換値として出力する演算部 3 6 を具備し、A D 変換を行うことを特徴とするパルス密度変調型 A D コンバータ。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、オフセット量とゲインの調整機能を有しながら分解能が 2 の n 乗に依存しない任意分解能を有するパルス密度変調型 D A 変換器および前記パルス密度変調型 D A 変換器を用いて構成されるパルス密度変調型 A D 変換器に関するものである。

## 【0002】

さらに詳細に言えば、乗算回路や除算回路のような複雑かつ大規模な論理回路を用いることなく、複数のレジスタと桁上がり信号出力を有する加減算器とタイミング制御回路との簡易な構成を持つ単純かつ小規模なデジタル回路のみによって構成される、出力オフセ

50

ット量と倍率の調整機能を有しながら分解能が2のn乗に依存しない任意分解能を有するパルス密度変調型DA変換器に関するとともに、前記パルス密度型DA変換器を使って構成されるAD変換器に関する。

【背景技術】

【0003】

計測・制御システムは長期に渡って運用されるものが大半を占め、製品寿命が5年から10年と長いモデルが多い。図2に示すように、計測・制御システムのプリント基板ではAD変換器やDA変換器を内蔵したプロセッサが使われる場合やプロセッサのほかにも外付けで高精度なAD変換器やDA変換器が実装される場合が非常に多いのである。しかしながら、AD変換器やDA変換器を内蔵したプロセッサはこれらを内蔵していない簡素な仕様のプロセッサと比べてより大きなチップ面積を必要とし、1枚のウェハーから製造できるプロセッサの個数が少なくなるために価格が高くなるという欠点を有する。また、仕様が複雑化しても価格を抑える必要から特殊な仕様限定してチップ面積を抑えてコストダウンしたプロセッサをシリーズ化して販売する機会が多いが、シリーズ化に伴う個別仕様のプロセッサの需要は少なくなるために量産効果が得られにくく、競争力が汎用プロセッサに比べて著しく低い。結果として開発から数年で製造中止になる確率が高くなるのである。即ち、デバイスの長期安定供給が行われないうちに製品寿命が短くなってしまい、開発費用が高むという問題があるのである。さらにこの現象は高精度な専用のAD変換器やDA変換器ではより顕著であり、製造技術維持の観点からも重要な課題となっている。

10

【0004】

また、製品に対する仕様追加や性能向上を行う場合に、採用されていたプロセッサのチップ内に内蔵されているAD変換器やDA変換器のチャンネル数やビット分解能が不足するケースがある。この場合、上位チップへの置き換えや外付けICの追加などハードウェアの変更とこれに伴うソフトウェアの変更によりコストが合わなくなることがあるのである。さらに、高機能化に伴って測定レンジごとに振幅やオフセットの微調整要素が入ると、マルチプレクサや電子ボリュームの追加が必要となり、電子回路が複雑化してしまう欠点があった。

20

【0005】

メーカーが提供する専用のDA変換器を使わないでDA変換を実現する方法として、図3-1に示すように汎用デジタル出力ポートに電圧分割用R-2Rラダー抵抗回路と呼ばれる抵抗ネットワークを接続して汎用部品だけでDA変換器を構成する設計テクニックや、図3-2に示すようにパルス幅変調(PWM: Pulse Width Modulation)出力に低域通過器(LPF: Low Pass Filter)を接続してDA変換器を構成する設計テクニックが知られている。しかしながら、ラダー抵抗を使うと1チャンネル分のDA変換器を構成するためにビット幅分のデジタル出力ポートが必要になる欠点があった。また、DA分解能はラダー抵抗がディスクリット部品からなる場合には8ビット程度が限界であり、専用ラダー抵抗アレイを使った場合でも10ビット程度が実用的な範囲であった。パルス幅変調出力を使うテクニックではパルスのデューティ比率を変えて低域通過器(ローパスフィルタ: LPF)を通過させて直流成分を取り出すことでDA変換器として使うことができる。PWMのチャンネル数と同数のDA出力本数が得られるが、パルスのデューティ比率は10ビット程度のプロセッサが多く、PWMでは情報帯域とパルスのキャリア周波数が接近しているためSN比が悪いという欠点があった。

30

40

また、全てのDA変換方法およびAD変換方法に共通する問題点として、通常分解能はビット幅nで決まる2のn乗単位であるために、1デジットの分解能をちょうど1mVや100μAと言った10進数で表記しやすい単位とするためには例えば2.047Vのような専用の基準電圧源が必要になるという欠点があった。

【特許文献1】特開平6-112833号公報

【特許文献2】特開平6-112834号公報

【特許文献3】特開平7-86948号公報

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

解決しようとする問題点は、専用のAD変換器やDA変換器に依存する結果製品寿命短縮を余儀なくされる点、AD変換器やDA変換器がチップ占有面積の大きいアナログ回路で占められている点、最小分解能を任意な間隔に設定できない点、分解能が固定している状態で出力オフセット量を変更できない点、出力オフセット量または倍率の変更を行うためには大規模かつ複雑な外付け回路が必要となる点である。言い換えれば、課題は分解能と出力オフセット量と倍率の変更を行うことができるDA変換器を小規模かつ簡易なデジタル回路を主な構成要素として他には簡易な汎用の外付けアナログ回路だけで実現することである。さらに、そのDA変換器を構成要素とするAD変換器を実現することである。すなわち、汎用デジタル回路を主要構成要素とするAD変換器とDA変換器を実現することである。

10

## 【課題を解決するための手段】

## 【0007】

本発明は、これらの事情に鑑みてなされたものであり、外付け回路を汎用部品だけで構成されるアナログ回路に留め、かつSN比の良好なDA変換器を実現するためにパルス密度変調型DA変換方式を採用した点と、そのパルス密度変調型DA変換器が任意に設定可能な分解能を有し、出力オフセット量や倍率の変更が可能な構造を有する点を最も主要な特徴としている。また、前記パルス密度型DA変換器を用いてAD変換器を構成すること

20

## 【0008】

本発明の請求項1に記載のパルス密度変調型DAコンバータは、DA出力目標値11を格納するまたはDA出力目標値11と出力オフセット値12を加算したDA出力補正目標値13を格納する増分レジスタ1と、演算結果値14を格納する演算結果格納レジスタ2と、DA出力範囲指定値15を格納する出力範囲指定レジスタ3と、増分レジスタ1と演算結果格納レジスタ2から供給される値を加算処理して加算値16を出力する加算機能21と演算結果格納レジスタ2から供給される値から出力範囲指定レジスタ3から供給されるDA出力範囲指定値15を減算処理して減算値17を出力する減算機能22を有するとともに桁上がり信号18を出力する加減算器4と、減算機能22を実行後に桁上がり信号18を保持して保持した論理値あるいはその反転論理値をパルス密度変調出力19として出力するDA出力レジスタ5と、加算機能21と減算機能22を交互に実行するタイミングを制御する制御部6を具備し、制御部6が加算機能21を実行する場合に加算値16を演算結果値14として演算結果格納レジスタ2に格納する制御を行い、かつ減算機能22を実行する場合に桁上がり信号18に基づいて減算値17が正值であると判定される場合に減算値17を演算結果値14として演算結果格納レジスタ2に格納する制御を行うことにより、DA出力目標値11またはDA出力補正目標値13をパルス密度に信号変換する機能と、DA出力目標値11またはDA出力補正目標値13に倍率を乗ずることなくDA出力範囲指定値の変更のみによってパルス密度に信号変換する際の倍率を変更する機能と、DA出力範囲をDA出力範囲指定値15で決定される任意な自然数に設定する機能と、DA出力に出力オフセット値12で指定されるオフセット量だけシフトする機能を実現したことを特徴としている。

30

40

## 【0009】

また、本発明の請求項2に記載のパルス密度変調型ADコンバータは、請求項1に記載のパルス密度変調型DAコンバータ31と、請求項1に記載のパルス密度変調型DAコンバータ31が出力する出力パルス41の供給を受けて出力パルス41の高周波成分をカットまたは減衰させるノイズシェーピングフィルタ32と、アナログ入力とノイズシェーピングフィルタ32の出力の供給を受けて大小判別を行って論理出力を行うアナログコンパレータ33と、アナログコンパレータ33の論理出力に基づいてDA出力目標値11を増

50

減してパルス密度変調型 D A コンバータ 3 1 に供給するとともに A D 変換値として出力する演算部 3 4 を具備し、A D 変換を行うことを特徴としている。

【0010】

また、本発明の請求項 3 に記載のパルス密度変調型 A D コンバータは、請求項 1 に記載のパルス密度変調型 D A コンバータ 3 1 と、請求項 1 に記載のパルス密度変調型 D A コンバータ 3 1 が出力する出力パルス 4 1 の供給を受けて出力パルス 4 1 の高周波成分をカットまたは減衰させるノイズシェーピングフィルタ 3 2 と、アナログ入力とノイズシェーピングフィルタ 3 2 の出力の供給を受けて積分する積分器 3 5 と、積分器 3 5 の出力の供給を受けて積分値が正値か負値かに基づいて 2 値論理出力を行うアナログコンパレータ 3 3 と、アナログコンパレータ 3 3 の論理出力に基づいて D A 出力目標値 1 1 を増減してパルス密度変調型 D A コンバータ 3 1 に供給するとともに A D 変換値として出力する演算部 3 6 を具備し、A D 変換を行うことを特徴としている。

10

【発明の効果】

【0011】

本発明の請求項 1 に記載の構成であれば、簡易かつ小規模なデジタル回路で D A 出力範囲を D A 出力範囲指定値 1 5 で決定される任意な自然数に均等分割することができる十分な直線性を有するパルス密度変調型 D A 変換器を構成することができ、出力オフセット量や倍率を変更することができるので、S N 比の高いアナログ量に変換するためには外付けに汎用アナログ部品からなるノイズシェーピングフィルタのみで済むという利点がある。また、D A 出力目標値 1 1 または D A 出力目標値 1 1 と出力オフセット値 1 2 を加算した D A 出力補正目標値 1 3 をパルス密度変調によりデジタル信号に変換するために必要な回路は複数のレジスタと加減算回路と簡易なタイミング制御回路のみのデジタル回路で構成できるため、チップ占有面積を大きく取らずに D A 変換の機能を追加することが可能であるという利点がある。プロセッサを構成している要素であるメモリあるいはレジスタと算術演算ユニットとデジタル出力ポートなどのハードウェアを時分割で使用するにより汎用プロセッサの汎用デジタル出力ポートを D A 変換器として使用することが可能になるという利点がある。前記ハードウェアの時分割使用の手段はソフトウェアだけでなく、近年、大規模な F P G A ( F i e l d P r o g r a m m a b l e G a t e A r r a y ) や C P L D ( C o m p l e x P r o g r a m m a b l e L o g i c D e v i c e ) と呼ばれたハードウェア論理をプログラマブルに記述できるデバイスが開発されており、プロセッサとしての機能を組み込むだけでなく、請求項 1 に記載の構成を組み込むことも可能になっており、容易に互換性のあるプロセッサを実現することができる利点がある。

20

30

【0012】

本発明の請求項 2 に記載の構成であれば、アナログ信号をデジタル信号に変換するために必要なアナログ部品はノイズシェーピングフィルタとアナログコンパレータのみでよく、A D 入力範囲を任意分解能で均等に分割した直線性の良好な A D 変換器を実現することができる利点がある。さらに入力範囲にオフセット量や倍率を与え、変更することができるという利点がある。また、汎用ワンチッププロセッサにはアナログコンパレータを組み込んだものがあり、このプロセッサで本発明の請求項 2 に記載の構成を実現した場合には外付け回路は汎用アナログ部品からなるノイズシェーピングフィルタのみで済むという利点がある。

40

【0013】

本発明の請求項 3 に記載の構成であれば、請求項 2 に記載の構成に積分器を追加した構成となり、A D 変換誤差の累積値が 0 に近づくような A D 変換器が実現できるという利点がある。また、汎用ワンチッププロセッサにはアナログコンパレータを組み込んだものがあり、このプロセッサで本発明の請求項 3 に記載の構成を実現した場合には外付け回路は汎用アナログ部品からなるノイズシェーピングフィルタと積分器のみで済むという利点がある。

【発明を実施するための最良の形態】

50

## 【0014】

本願発明者は、前記課題を解決するために鋭意検討した。

## 【0015】

まず、AD変換器は内部にDA変換器を内蔵しているものが多く、まず任意分解能を有するDA変換器を実現することが重要であると考え、特殊なアナログ回路を必要としないパルス密度変調方式に着目した。しかしながら、パルス密度変調をビット幅nの演算器を用いて行う場合には、DA出力目標値の設定を変更する度に除算処理または乗算処理が必要になってしまう。さらに詳細に記述すれば、DA出力範囲指定値すなわち分解能指定値をm、DA出力目標値をqとする場合には演算器のビット幅をnとすると数式1に基づく増分値を演算する必要が生じる。この演算を精度良く行うためには小数点以下の演算が必要となるため処理負荷が重く、回路規模も大きくなってしまふ。

10

## 【0016】

## 【数1】

$$\Delta = \frac{q \times 2^n}{m}$$

20

## 【0017】

そこで、DA出力目標値qをパルス出力クロックごとに累積加算する処理を行い、累積加算値sumを分解能指定値mで割った余りすなわち剰余成分だけを管理し、商が増加するタイミングすなわちパルスが発生させるタイミングを検出する方法を考案したのである。この方式では演算器のビット幅はDA出力範囲指定値mの2倍以上の演算が可能な幅を持つ必要があるが、累積加算値sumがDA出力範囲指定値mを超えるタイミングで、累積加算値sumからDA出力範囲指定値mを差し引いてDA出力範囲指定値mを超えないように制限すれば、演算に乗算も除算も必要とせずに加算と減算だけでパルス密度変調のパルス出力タイミングを得ることができるのである。

30

## 【0018】

さらに、上述のパルス密度変調方法によりDA変換を行って予め定められた波形を出力する状態で、DA出力範囲指定値を倍に設定変更すればパルスの出力密度が半減し、DA出力範囲指定値を半値に設定変更すればパルスの出力密度が増加することを思いつき、実験で確認したところ、出力波形の標本値に何ら手を加えることなく、DA出力範囲指定値の変更だけで倍率を変更することが可能であり、DA出力範囲指定値と倍率は逆数の関係にあることが確認できたのである。

## 【0019】

しかしながら、DDS(Direct Digital Synthesizer)を用いてファンクションジェネレータを実現する場合には出力波形の周波数と出力振幅すなわち倍率の変更機能に加えて、パルス密度に出力オフセットを与え、所定値を中心として変化する信号を出力しなければならない場合がある。このような場合にDA出力目標値に出力オフセット値を加え、常にその値が0からDA出力範囲指定値mの範囲内に存在する条件を維持すれば、出力オフセットの変更が行えることがわかった。このようにして請求項1に記載の構成によるパルス密度変調型DAコンバータが完成された。

40

## 【0020】

さらに、請求項1に記載の構成によるパルス密度変調型DAコンバータを構成要素として用いることで請求項2および請求項3に記載のパルス密度変調型ADコンバータが完成されたのである。

50

## 【0021】

上記の実験を踏まえて、本願発明者は本発明を完成させたのである。

## 【0022】

以下、図面を参照して本発明の実施の形態を説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

## 【実施例1】

## 【0023】

図1は、本発明の1実施例の回路のブロック図を図示している。1は増分レジスタ、2は演算結果格納レジスタ、3はDA出力範囲指定レジスタ、4は加減算器、5はDA出力レジスタ、6は加算機能と減算機能を交互に実行するタイミングを制御する制御部である。増分レジスタ1にはDA出力目標値11またはDA出力目標値11と出力オフセット値12を加算したDA出力補正目標値13が格納されている。DA出力範囲指定レジスタ3にはDA出力範囲指定値15が格納されている。制御部6は増分レジスタ1に格納された値と演算結果格納レジスタ2に格納された値を加算処理して加算値16を出力する加算機能21を制御するタイミングと演算結果格納レジスタ2に格納された値からDA出力範囲指定レジスタ3に格納された値を減算処理して減算値17を出力する減算機能22を制御するタイミングを交互に発生し、繰り返している。

10

## 【0024】

加算機能21を制御するタイミングでは、加減算器4は加算器として動作するよう選択される。増分レジスタ1に格納された値と演算結果格納レジスタ2に格納された値が加減算器に供給されて加算され、加算結果である加算値16が演算結果格納レジスタ2に格納される。次に減算機能22を制御するタイミングでは、加算機能21の実施によってパルスを発生するタイミングである商が増加する条件が成立したか否かを調べるために演算結果格納レジスタ2に格納されている演算結果14がDA出力範囲指定レジスタ3に格納されているDA出力範囲指定値15を超えたか否かが調べられる。減算機能22を制御するタイミングでは加減算器4は減算器として動作するよう選択される。演算結果格納レジスタ2に格納された演算結果14からDA出力範囲指定レジスタ3に格納されているDA出力範囲指定値15が差し引かれ、その演算結果である減算値17が正值であるときは演算結果格納レジスタ2に格納されている演算結果14がDA出力範囲指定レジスタ3に格納されているDA出力範囲指定値15を超えたことを示しており、パルスを発生するタイミングであることを示している。反対に演算結果である減算値17が負値であるときは演算結果格納レジスタ2に格納されている演算結果14がDA出力範囲指定レジスタ3に格納されているDA出力範囲指定値15を超えていないことを示しており、パルスを発生するタイミングではないことを示している。即ち、加減算器の桁上がり信号18が発生していないときは演算結果14が正值であることを示し、パルスを発生するタイミングである。反対に加減算器の桁上がり信号18が発生しているときは演算結果14が負値であることを示し、パルスを発生しないタイミングである。それ故、減算機能22を制御するタイミングでは桁上がり信号18の論理を反転してDA出力レジスタ5に保持し、パルス密度変調出力19として出力するとともに、桁上がり信号18が0であった場合には減算値17を演算結果格納レジスタ2に格納することで演算結果値14が常にDA出力範囲指定値15以下に保持されるように制御している。

20

30

40

## 【0025】

例えば、電源電圧5Vで動作する論理回路出力で1mV分解能のパルス密度変調型DAコンバータを実現する場合には次のようになる。0.000Vから5.000Vまで1mV分解能であるということは5001階調のDAコンバータということになるので、DA出力範囲指定値15は5000が格納される。増分レジスタ1には0から5000までの値を格納することが許される。今、増分レジスタ1に1000が格納されているものとするれば、加算機能21を5回実行するごとに演算結果がDA出力範囲指定値15を超え、パルスが発生する条件が成立する。5回に1回の割合でパルスが発生することになり、外付けのノイズシェーピングフィルタで高周波成分を除去あるいは低減することによりアナログ

50

量に変換され、1.000Vの出力が得られるのである。

【0026】

図4に図示しているように、PWM(Pulse Width Modulation)はパルスの基本周期が固定され、デューティサイクル比率が変化するパルス変調方式であるのに対して、パルス密度変調PDM(Pulse Density Modulation)は基本クロックごとに0か1のパルスが出現し、その出現確率で数値を表現するパルス変調方式である。従って、パルス密度変調型DA変換器は長時間のパルスの累計から出現確率を求めることで分解能を高めることができる特徴がある。

【0027】

図5にパルス密度変調型DA変換器で高周波成分を除去あるいは低減する目的で使用されるノイズシェーピングフィルタの実施例を例示する。殆ど値を変化しない1Hz程度の帯域幅のDAコンバータとして使用する場合には図5-1に示すような抵抗とコンデンサと保護ダイオードとで構成される簡易なフィルタでも十分な性能を達成することができる。図6は5マイクロ秒を基本クロックとしてDA出力範囲指定値15を5000として電源電圧5Vのデジタル出力を使ってパルス密度変調型DAコンバータを実現した場合の実際の波形の例である。ノイズシェーピングフィルタは図5-1の簡易なフィルタを使用している。

10

【0028】

図1の構成を有するパルス密度変調型DAコンバータは、FPGAやCPLDなどのハードウェアで構成することが可能であるだけでなく、基本クロック5マイクロ秒程度の仕様であれば、汎用のプロセッサを用いてソフトウェアで実現することも可能である。図1の実施例は専用のDA変換器に依存することなく、受動部品3個程度の簡易な外付けのノイズシェーピングフィルタでも十分かつ任意の分解能を有するDAをローコストに構成できる。

20

【実施例2】

【0029】

図7は図1の構成を有するパルス密度変調型DAコンバータを電源電圧3.3Vのデジタル回路で構成し、直線性を調べるとともに、DA出力範囲指定値15を変更することで倍率を変更することができることを示した実験結果である。DA出力範囲指定値15を3300として、出力オフセット値12を0、DA出力目標値11を100ピッチで変化させて図5-1の簡易なフィルタの出力電圧を測定した結果を図7中のPort Bで示している。高い直線性が得られたが、DA出力目標値11が3300のときの電圧が3.290Vであり、回路定数の制約からわずかな誤差が確認された。この誤差を補正するためにDA出力範囲指定値15を3290に変更したところ、図7中のPort B(補正後)で示しているようにDA出力目標値11が3290のときの電圧が3.290Vとなり、途中の全ての測定点で誤差の減少が確認できた。DA出力範囲指定値15を半分の1645に変更したところ倍率は2倍になり、DA出力範囲指定値15を2倍の6580にしたところ倍率は2分の1に、DA出力範囲指定値15を5倍の16450にしたところ倍率は5分の1になることが確認できた。

30

【0030】

本実施例では、外付け部品を追加することなく、DA出力範囲指定レジスタ3に格納されているDA出力範囲指定値15の変更のみで正確に倍率を変更できる効果が確認できた。

40

【実施例3】

【0031】

図8は通常のDDS(Direct Digital Synthesizer)の回路ブロック図を図示したものである。アナログ出力を得るために通常のDAコンバータを使用すれば、図9に例示する波形のように階段状になってしまう。但し、本従来技術による実施例ではサイン波形の総標本数は512であり、分解能は12ビットである。この例では出力波形の振幅を変更しようとするれば、全てのサイン波形の標本値に倍率を乗じて変

50



更する必要が生じる。また、出力分解能は12ビットで制約されているため、波形振幅が小さくなればサイン波形の最大振幅に対する分解能は劣化する欠点がある。出力オフセットは出力分解能を単位とするので例えば1mVピッチでオフセットをずらすためには最大振幅時に4.095Vとなるように外部回路で調整する必要がある。

#### 【0032】

これに対して、図8中のDAコンバータを図1の構成のパルス密度変調型DAコンバータに置き換えた場合には、図10に例示するような波形が得られる。図10の上段はパルス密度変調のデジタル信号出力で、図10の下段は図3-2のノイズシェーピングフィルタを用いた場合のアナログ波形である。通常のDAコンバータと比べて遜色のない波形が得られることが確認できた。

10

#### 【実施例4】

#### 【0033】

図11に請求項1に記載のパルス密度型DAコンバータを採用した3相DDSの実施例を例示する。通常のDAコンバータを用いて構成されるDDSの場合に出力波形の振幅を分解能を落とすことなく変更しようとするならば外付けで倍率を変更する手段、例えば電子ボリュームとアンプなどを追加しなければならない。出力オフセットを変更する場合にも同様の問題が存在している。また、外付けの回路の追加を行わずに、出力波形の振幅やオフセットを変更しようとするならば、定義されているサイン波形の全ての標本値に倍率を乗じて値を変更するか、リアルタイムに倍精度での乗算処理を行う必要が生じる。これに対して図11の実施例においては、定義されたサイン波形データを一切変更することなく、DA出力範囲指定レジスタ3に格納されたDA出力範囲指定値15の変更のみで倍率の変更を行うことができるのである。また、出力オフセットを変更する場合においても、DA出力目標値11に出力オフセット値12を加算したDA出力補正目標値13を増分レジスタ1に格納する加算処理を行うのみで済む利点がある。図12に元の波形データを変更せずにDA出力範囲指定値15の変更のみで倍率の変更を行った事例の波形を例示する。パルス密度変調型DAコンバータの出力は論理信号であるので、出力信号の反転論理を使えば簡単に逆位相の信号が得られる利点もある。

20

#### 【実施例5】

#### 【0034】

図13の実施例は、請求項2および請求項3に対応したパルス密度型ADコンバータの構成を示している。図13-1はアナログ入力のリファレンス信号として請求項1に記載のパルス密度型DAコンバータ31の出力信号を図3-1のノイズシェーピングフィルタに通して供給しており、そのリファレンス信号とアナログ入力をアナログコンパレータで比較することによって、現在のDA出力目標値11あるいはDA出力補正目標値13がアナログ入力に対して大きいか小さいかを検出することができる。AD値の探索方法に関しては、バイナリ探索アルゴリズムや逐次比較型探索アルゴリズム、ネガティブフィードバック型、可変ステップのネガティブフィードバック型等多数のアルゴリズムが知られている。図13に記載されていない演算部34で任意の探索アルゴリズムを実行することによりAD変換値を得ることができる。任意分解能を持つことや入力範囲を制限したり、入力倍率を変更することなどの処理を回路規模を増やすことなく実行することができるのである。

30

40

図13-2の実施例においては、長時間のAD変換誤差をさらに小さく抑えることができるため、高精度なADコンバータを実現することができるのである。

#### 【実施例6】

#### 【0035】

図14の実施例は請求項1に記載のパルス密度変調型DAコンバータをデジタル論理回路で構成する場合の実際の回路ブロック図であり、図15はその動作タイミングを示す図である。図16は図14中の演算結果格納レジスタの3ビット分の回路図である。FPGAやCPLDを用いて請求項1に記載のパルス密度変調型DAコンバータを実際に設計すると、加減算器4の入力Bに2つのレジスタの値を選択的に供給するためにバス記述が

50

できないデバイスでは本実施例のようにセレクタが必要になる場合がある。本実施例では2サイクルで加算機能21と減算機能22を繰り返すためにSEL、CKS、CKRの制御信号を制御部6から供給するだけで良い。このため、25MHz以上の周期でパルスを生成することが可能になる。従って、適切な設計を行えば100kHzを超える信号の生成が可能になるという特有の効果奏する。

【産業上の利用可能性】

【0036】

計測・制御システムのアプリケーションでは温度、湿度等の極めて変化が緩やかな測定対象が含まれるので、パルス密度型ADコンバータを汎用プロセッサを用いて実現しても十分に実用的なアプリケーションが存在している。また、モーター制御アプリケーションの多くは3600rpm程度の速度であるためパルス密度変調型DAの論理出力を使った応用が可能である。さらに2次電池の充放電制御として定電流充放電(CC)、定電圧充放電(CV)、定電流定電圧充放電(CC-CV)等の制御の多くは、電圧や電流の変動速度が10Hz以下であるので制御に必要なADコンバータやDAコンバータを構成することが可能になる。さらに、計測では、電流や電圧を少しずつ変化させながら別の物理量(電圧、電流、抵抗、インピーダンス、磁界、電界、音圧、距離等)を測定するアプリケーションが存在している。これらに本発明を適用することができ、安価な汎用デバイスを用いて製品寿命の長いプリント基板を開発することができる。また、単相や多相のDDSを構成した場合には周波数、振幅、オフセットを調整する機能を極めて低い演算負荷で実現することができ、外付け回路の規模を抑えて、低価格の製品開発が可能になる。FPGAやCPLDに汎用プロセッサを組み込むのと同時にADコンバータやDAコンバータ、それらを応用した倍率変更機能、オフセット調整機能、DDS機能等の組込みが可能になり、より一層の小型化と低価格化、及びデバイス寿命が短くても互換性のあるデバイスの開発が容易となる。

10

20

【図面の簡単な説明】

【0037】

【図1】請求項1に記載のパルス密度変調型DAコンバータのブロック図を示した説明図である。(実施例1)

【図2】計測制御システムの抱える問題点を示した説明図である。

【図3】よく使われる従来技術による簡易なDAコンバータを示した説明図である。

30

【図4】パルス幅変調(PWM)方式とパルス密度変調(PDM)方式の違いを説明する図である。(実施例1)

【図5】ノイズシェーピングフィルタの事例を紹介する図である。(実施例1)

【図6】パルス密度変調型DAコンバータの実際の波形を例示した図である。(実施例1)

【図7】パルス密度変調型DAコンバータの直線性と倍率変更を説明する図である。(実施例2)

【図8】通常のDDSの構成例のブロック図である。

【図9】通常のDAコンバータを用いた通常のDDSの出力波形を例示する図である。

【図10】パルス密度変調型DAコンバータを用いたDDS出力の波形とフィルタ出力波形を例示する図である。

40

【図11】パルス密度変調型DAコンバータを用いた3相DDSのブロック図である。

【図12】パルス密度変調型DAコンバータを用いた3相DDSの出力波形を例示する図である。

【図13】パルス密度変調型ADコンバータの実施例を説明する図である。

【図14】パルス密度変調型DAコンバータのブロック図を説明する図である。

【図15】パルス密度変調型DAコンバータの動作タイミングを説明する図である。

【図16】パルス密度変調型DAコンバータの演算結果格納レジスタの実施例を説明する図である。

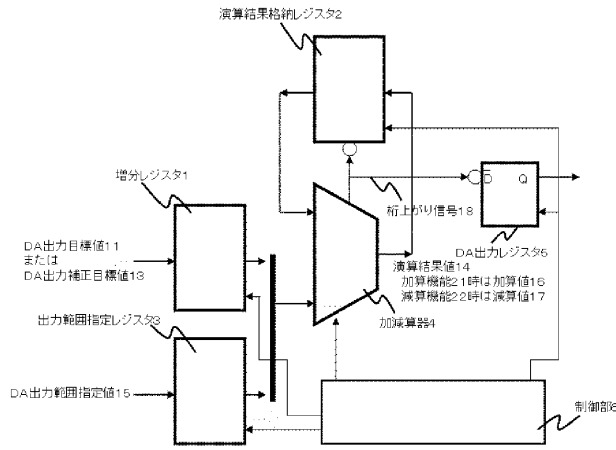
【符号の説明】

50

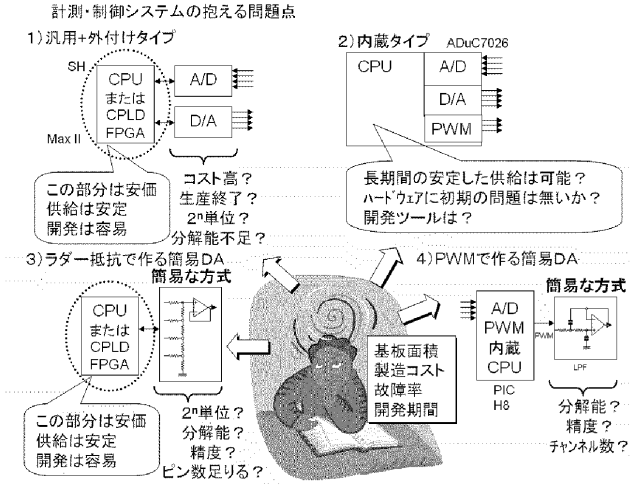
## 【 0 0 3 8 】

- 1 増分レジスタ
- 2 演算結果格納レジスタ
- 3 D A 出力範囲指定レジスタ
- 4 加減算器
- 5 D A 出力レジスタ
- 6 加算機能と減算機能を交互に実行するタイミングを制御する制御部
- 1 1 D A 出力目標値
- 1 2 出力オフセット値
- 1 3 D A 出力目標値と出力オフセット値を加算した D A 出力補正目標値 10
- 1 4 演算結果値
- 1 5 D A 出力範囲指定値
- 1 6 加算値
- 1 7 減算値
- 1 8 桁上がり信号
- 1 9 パルス密度変調出力
- 2 1 増分レジスタの値と演算結果格納レジスタの値を加算処理して加算値を出力する加算機能
- 2 2 演算結果格納レジスタの値から D A 出力範囲指定レジスタの値を減算処理して減算値を出力する減算機能 20
- 3 1 請求項 1 に記載のパルス密度変調型 D A コンバータ
- 3 2 出力パルスの高周波成分をカットまたは減衰させるノイズシェーピングフィルタ
- 3 3 アナログコンパレータ
- 3 4 演算部
- 3 5 積分器
- 3 6 演算部
- 4 1 請求項 1 に記載のパルス密度変調型 D A コンバータ 3 1 が出力する出力パルス

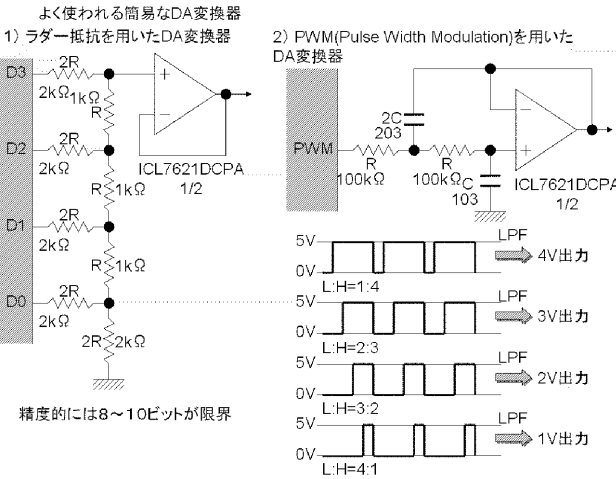
【 図 1 】



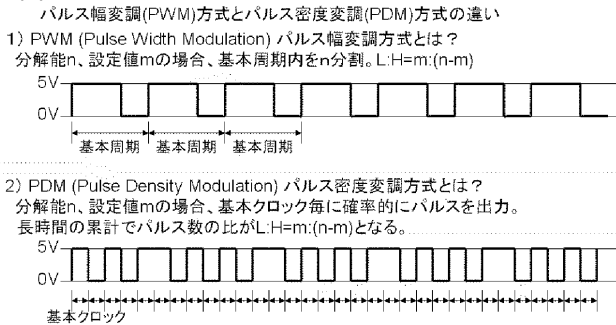
【 図 2 】



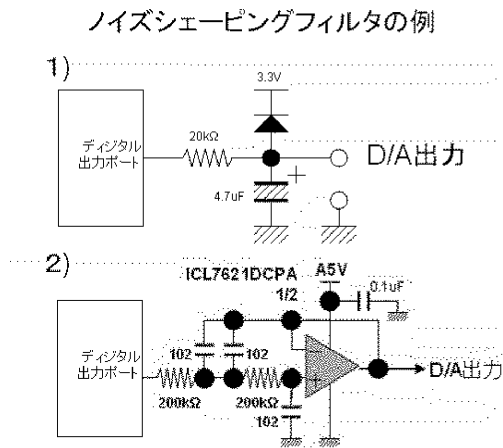
【 図 3 】



【 図 4 】

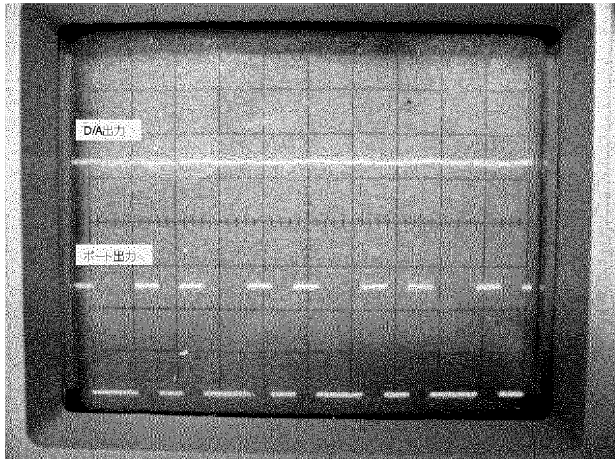


【 図 5 】



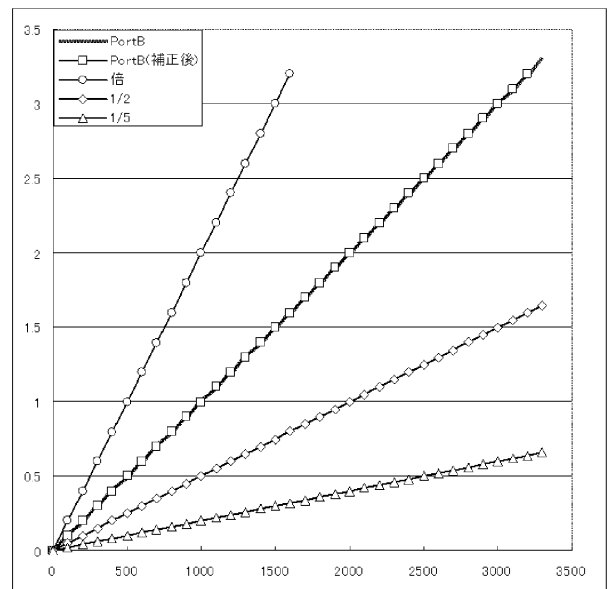
【 図 6 】

パルス密度変調型DAコンバータの実際の信号波形



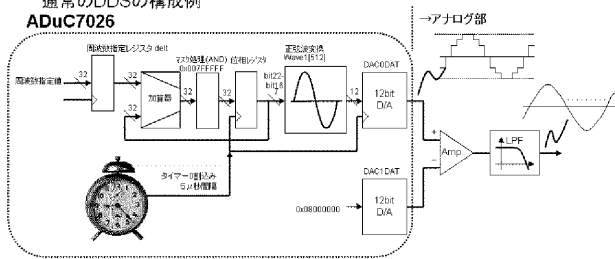
【 図 7 】

パルス密度変調型DAコンバータの直線性と倍率変更



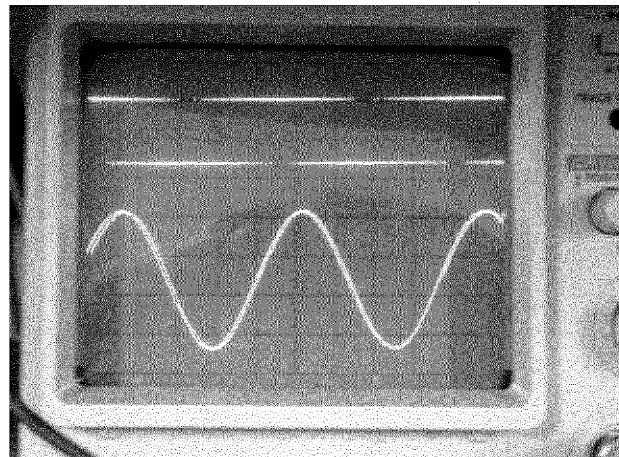
【 図 8 】

通常のDDSの構成例  
ADuC7026



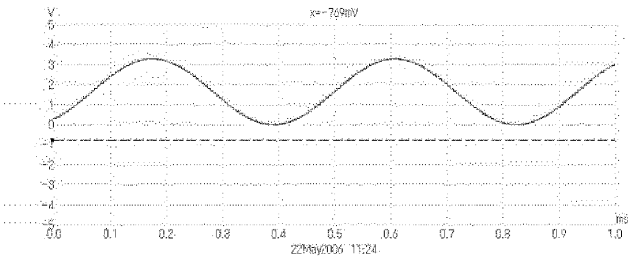
【 図 10 】

パルス密度変調型DAコンバータを用いたDDS出力の波形とフィルタ出力

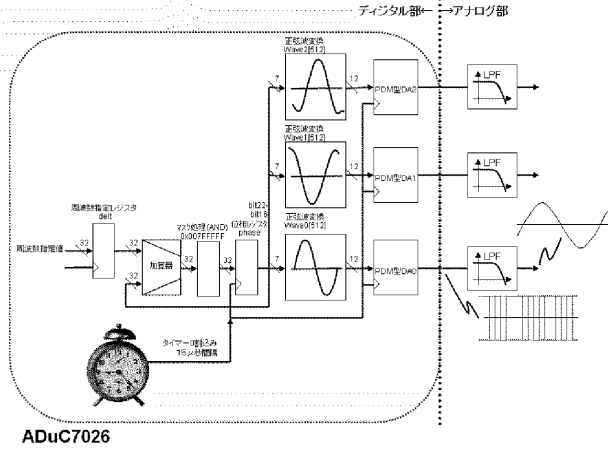


【 図 9 】

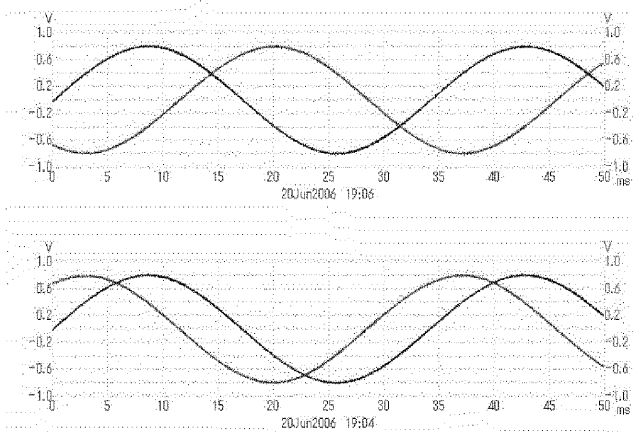
通常のDAコンバータを用いたDDSの出力波形の例



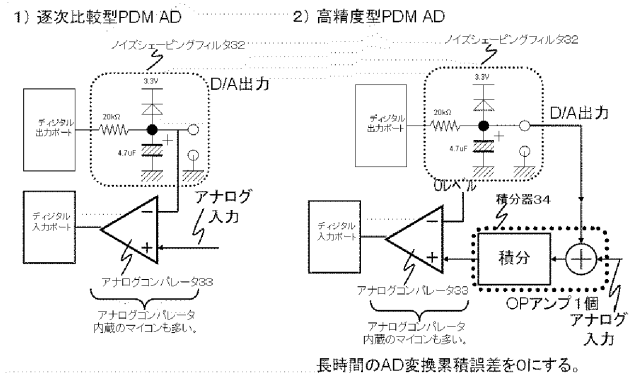
【 図 1 1 】  
パルス密度変調型DAコンバータで作る3相DDSの例



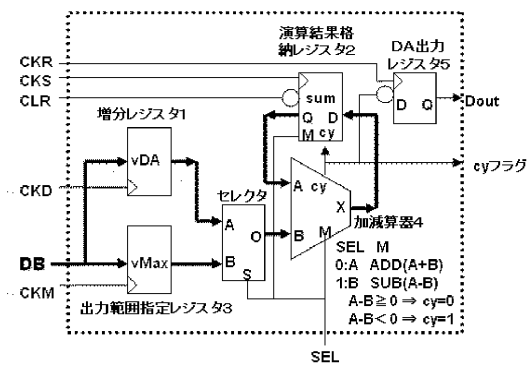
【 図 1 2 】  
パルス密度変調型DAコンバータを用いた3相DDSの出力波形の例



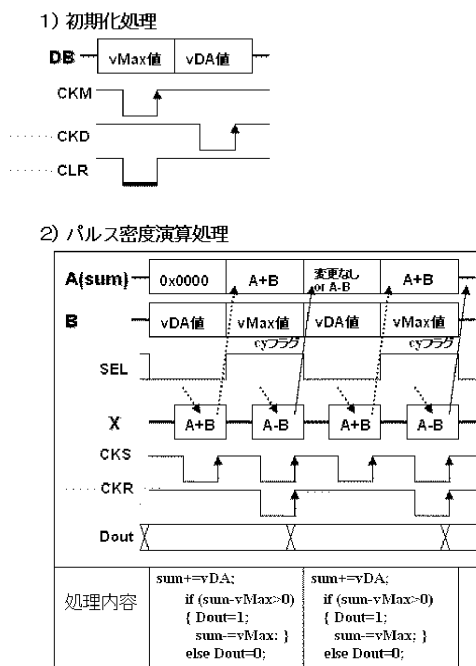
【 図 1 3 】  
パルス密度変調型ADコンバータの実施例



【 図 1 4 】  
PDM型D/Aの構造



【 図 1 5 】  
PDM型D/Aの動作



【 図 1 6 】  
演算結果格納レジスタ2の設計例（3ビット分）

