

(19)日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11)特許出願公開番号

特開平6-35790

(43)公開日 平成 6 年(1994) 2 月10日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 12/02

識別記号

5 5 0

庁内整理番号

9366-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 6 (全 18 頁)

(21)出願番号 特願平4-135211

(22)出願日 平成 4 年(1992) 5 月27日

(31)優先権主張番号 特願平4-126464

(32)優先日 平 4 (1992) 5 月19日

(33)優先権主張国 日本 ( J P )

(71)出願人 000002853

ダイキン工業株式会社

大阪府大阪市北区中崎西 2 丁目 4 番12号

梅田センタービル

(72)発明者 上田 智章

滋賀県草津市岡本町字大谷1000番地の 2

ダイキン工業株式会社滋賀製作所内

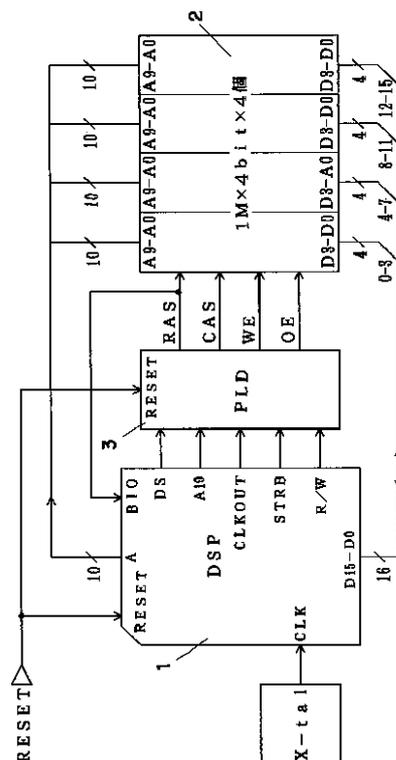
(74)代理人 弁理士 津川 友士

(54)【発明の名称】 メモリ・アクセス制御方法およびその装置

(57)【要約】

【目的】 DSPによりアクセスされるメモリとしてDRAMを採用し、しかもDSPをノー・ウェイトで動作させる。

【構成】 ロー・アドレスとコラム・アドレスとを異なるメモリ空間に割当てておき、ロー・アドレスがDSP1から出力されたことに応答してNORゲート31およびD-FF32によりRASをトグルさせ、コラム・アドレスがDSPから出力されたことに応答してNORゲート33によりCASをイネーブルにする。



## 【特許請求の範囲】

## 【請求項1】 デジタル信号処理専用プロセッサ

(1)により、メモリ・リフレッシュが必要なメモリ(2)をアクセスするための方法であって、デジタル信号処理専用プロセッサ(1)によりメモリ(2)に対してロー・アドレスを供給する処理にตอบสนองして、ロー・アドレスに基づいてロー・アドレス・ストローブを生成してメモリ(2)に供給し、ロー・アドレス・ストローブをメモリに供給している状態におけるコラム・アドレスを供給する処理にตอบสนองして、コラム・アドレスに基づいてコラム・アドレス・ストローブを生成してメモリ(2)に供給することにより高速ページ・モード・アクセスを行ない、メモリ・リフレッシュを行なうべきことを示すタイマ割込みにตอบสนองして、ロー・アドレスの供給にตอบสนองするロー・アドレス・ストローブの供給および反転されたロー・アドレス・ストローブの供給をこの順に行なうことを特徴とするメモリ・アクセス制御方法。

## 【請求項2】 デジタル信号処理専用プロセッサ

(1)のメモリ空間にロー・アドレスおよびコラム・アドレスを割当てておき、デジタル信号処理専用プロセッサ(1)がロー・アドレスをアクセスしたことにตอบสนองしてロー・アドレス・ストローブをトグルし、コラム・アドレスをアクセスしたことにตอบสนองしてコラム・アドレス・ストローブをイネーブルする請求項1に記載のメモリ・アクセス制御方法。

## 【請求項3】 デジタル信号処理専用プロセッサ

(1)によりビデオ用ダイナミック・ランダム・アクセス・メモリ(2a)をアクセスするための方法であって、デジタル信号処理専用プロセッサ(1)によりビデオ用ダイナミック・ランダム・アクセス・メモリ(2a)に対して供給すべきロー・アドレスおよびコラム・アドレスを各アクセス・モード毎に互に異なるメモリ空間に割当てておき、デジタル信号処理専用プロセッサ(1)によるロー・アドレスのアクセスにตอบสนองしてロー・アドレス・ストローブをトグルさせ、コラム・アドレスのアクセスにตอบสนองしてコラム・アドレス・ストローブをイネーブルさせ、何れかのアドレスのアクセスにตอบสนองしてレジスタへもしくはレジスタからのデータ転送を行なうべきか否かを示す信号、シリアル・ライト・モード・イネーブルを示す信号を生成し、ロー・アドレス・ストローブをビデオ用ダイナミック・ランダム・アクセス・メモリ(2a)に供給している状態におけるコラム・アドレスを供給する処理にตอบสนองして、コラム・アドレスに基づいてコラム・アドレス・ストローブを生成してビデオ用ダイナミック・ランダム・アクセス・メモリ(2a)に供給することにより高速ページ・モード・アクセスを行ない、メモリ・リフレッシュを行なうべきことを示すタイマ割込みにตอบสนองして、ロー・アドレスの供給にตอบสนองするロー・アドレス・ストローブの供給および反転されたロー・アドレス・ストローブの供給をこ

の順に行ない、表示のための水平同期信号割込みにตอบสนองしてリード転送を行なうことを特徴とするビデオ用ダイナミック・ランダム・アクセス・メモリ・アクセス制御方法。

## 【請求項4】 デジタル信号処理専用プロセッサ

(1)により、メモリ・リフレッシュが必要なメモリ(2)をアクセスするための装置であって、デジタル信号処理専用プロセッサ(1)によりメモリ(2)に対してロー・アドレスを供給する処理にตอบสนองして、ロー・アドレスに基づいてロー・アドレス・ストローブを生成してメモリ(2)に供給するロー・アドレス・ストローブ生成手段(31)(32)と、コラム・アドレスを供給する処理にตอบสนองして、コラム・アドレスに基づいてコラム・アドレス・ストローブを生成してメモリ(2)に供給するコラム・アドレス・ストローブ生成手段(33)と、ロー・アドレス・ストローブが生成されている状態においてコラム・アドレス・ストローブ生成手段(33)によるコラム・アドレス・ストローブの生成を反復させる高速アクセス制御手段(1)と、メモリ・リフレッシュを行なうべきことを指示するタイマ割込み手段と、メモリ・リフレッシュを行なうべきことの指示にตอบสนองして、ロー・アドレスの供給にตอบสนองするロー・アドレス・ストローブ生成手段(31)(32)によるロー・アドレス・ストローブの供給およびロー・アドレス・ストローブ生成手段(31)(32)による反転されたロー・アドレス・ストローブの供給をこの順に行なわせるリフレッシュ制御手段(1)とを含むことを特徴とするメモリ・アクセス制御装置。

## 【請求項5】 デジタル信号処理専用プロセッサ

(1)のメモリ空間にロー・アドレスおよびコラム・アドレスが割当てられてあり、ロー・アドレス・ストローブ生成手段(31)(32)が、デジタル信号処理専用プロセッサ(1)がロー・アドレスをアクセスしたことにตอบสนองしてロー・アドレス・ストローブをトグルするものであり、コラム・アドレス・ストローブ生成手段(33)が、コラム・アドレスをアクセスしたことにตอบสนองしてコラム・アドレス・ストローブをイネーブルするものである請求項4に記載のメモリ・アクセス制御装置。

## 【請求項6】 デジタル信号処理専用プロセッサ

(1)によりビデオ用ダイナミック・ランダム・アクセス・メモリ(2a)をアクセスするための装置であって、デジタル信号処理専用プロセッサ(1)によりビデオ用ダイナミック・ランダム・アクセス・メモリ(2a)に対して供給すべきロー・アドレスおよびコラム・アドレスを各アクセス・モード毎に互に異なるメモリ空間に割当ててあるとともに、デジタル信号処理専用プロセッサ(1)によるロー・アドレスのアクセスにตอบสนองしてロー・アドレス・ストローブをトグルさせるロー・アドレス・ストローブ・トグル手段(31a)(3

2 a) と、コラム・アドレスのアクセスにตอบสนองしてコラム・アドレス・ストロブをイネーブルさせるコラム・アドレス・ストロブ・イネーブル手段(33a)と、何れかのアドレスのアクセスにตอบสนองしてレジスタへもしくはレジスタからのデータ転送を行なうべきか否かを示す信号を生成する第1信号生成手段(35a)(36a)(37a)と、シリアル・ライト・モード・イネーブルを示す信号を生成する第2信号生成手段(34a)と、ロー・アドレス・ストロブをビデオ用ダイナミック・ランダム・アクセス・メモリ(2a)に供給している状態におけるコラム・アドレスを供給する処理にตอบสนองして、コラム・アドレスに基づいてコラム・アドレス・ストロブを生成してビデオ用ダイナミック・ランダム・アクセス・メモリ(2a)に供給することにより高速ページ・モード・アクセスを行なわせる高速アクセス手段(1)と、メモリ・リフレッシュを行なうべきことを示すタイマ割込みにตอบสนองして、ロー・アドレスの供給にตอบสนองするロー・アドレス・ストロブの供給および反転されたロー・アドレス・ストロブの供給をこの順に行なわせるメモリ・リフレッシュ手段(1)と、表示のための水平同期信号割込みにตอบสนองしてリード転送を行なわせるリード転送手段(1)とを含むことを特徴とするビデオ用ダイナミック・ランダム・アクセス・メモリ・アクセス制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はメモリ・アクセス制御方法およびその装置に関し、さらに詳細に言えば、ダイナミック・ランダム・アクセス・メモリ(以下、DRAMと略称する)に代表される、ロー・アドレスとコラム・アドレスとが互に独立して供給されることが必要なメモリに対してデジタル信号処理専用プロセッサ(以下、DSPと略称する)によるアクセスを行なうための制御方法およびその装置に関する

【0002】。

【従来の技術】従来からデジタル信号処理専用プロセッサが提供されている。また、プロセッサに必須の各種メモリとして、メモリ・リフレッシュが不要なスタティック・ランダム・アクセス・メモリ(以下、SRAMと略称する)等と、メモリ・リフレッシュが必要なDRAM等が提供されている。ここで、SRAM等は高速アクセスが可能であるが、素子の構成が複雑である関係上、余り大容量のものは提供されていない。これに対してDRAM等は素子の構成が簡単であり、大容量化が容易であるが、ロー・アドレスとコラム・アドレスとを供給するためのロー・アドレス・ストロブ(以下、RASと略称する)およびコラム・アドレス・ストロブ(以下、CASと略称する)の制御が必須であり、必然的にアクセス速度が低速化してしまう。

【0003】したがって、ノー・ウェイトで動作させる

べきDSPに配設されるメモリとしてはアクセス・タイムが30~80nsec程度のSRAM等が採用されることになり、DSPの性能をメモリ・アクセス速度により損なうことを防止し、システム全体としての高性能化を達成している。また、DSPはDRAMに対するアクセス制御機能を有していないのであるから、DSPを用いてVRAMに対するアクセスを行なわせようとするれば、例えば、図18に示すアクセス制御回路を付加することにより、通常のリード/ライトおよびメモリ・リフレッシュを行なうことができる。

【0004】

【発明が解決しようとする課題】しかし、SRAM等は容量が小さいのみならず、チップのピン数が多いのであり、しかも高価であるから、DSPを用いたシステム全体として高価になってしまうのみならず、大型化してしまうという不都合がある。このような不都合を解消するためには、SRAM等に代えてDRAM等を採用すればよいのであるが、DSPにおいてはDRAM等の制御を行なう機能がサポートされていないのみならず、DRAM等はRASのセット、CASのセット、RASの解除がメモリ・アクセスのために必要であり、必然的にアクセス時間が長くなるのであるから、DSPをメモリ・ウェイトさせなければならなくなり、DSPを用いたシステム全体として効率が低下してしまうという不都合がある。さらに、DSPによってはメモリ・ウェイトをサポートしていない場合があり、このようなDSPを用いたシステムにおいては必然的にメモリ・ウェイトを発生させることになるDRAM等を採用することは不可能である。特に、DRAM等のメモリ・リフレッシュではロー・アドレスの供給およびRASのトグルが標準的なリフレッシュ・サイクルとして設定されているのであるから、このサイクルにおいても必然的にメモリ・ウェイトを生じさせてしまうことになる。

【0005】また、図18に示すアクセス制御回路のうち通常のリード/ライトおよびメモリ・リフレッシュを制御するための回路構成は図19および図20に示すように著しく複雑であるが、VRAMは通常のDRAMが有している機能と比較して著しく多くの機能を有しているのであるから、図18に示すアクセス制御回路の構成が全体として著しく複雑化してしまう(図19および図20の回路の数倍の回路規模になってしまう)という不都合がある。また、アクセス制御回路が全体として大型化するのみならず、全体として著しく高価になってしまうという不都合もある。

【0006】

【発明の目的】この発明は上記の問題点に鑑みてなされたものであり、DSPの性能を犠牲にすることなくDRAM等を採用できるメモリ・アクセス制御方法およびその装置を提供することを目的としている。

【0007】

【課題を解決するための手段】上記の目的を達成するための、請求項1のメモリ・アクセス制御方法は、DSPによりメモリに対してロー・アドレスを供給する処理に  
 10 応答して、ロー・アドレスに基づいてRASを生成してメモリに供給し、RASをメモリに供給している状態におけるコラム・アドレスを供給する処理に  
 応答して、コラム・アドレスに基づいてCASを生成してメモリに供給することにより高速ページ・モード・アクセスを行ない、メモリ・リフレッシュを行なうべきことを示す  
 タイマ割込みに応答して、ロー・アドレスの供給に  
 20 応答するRASの供給および反転されたRASの供給をこの順に行なう方法である。

【0008】請求項2のメモリ・アクセス制御方法は、DSPのメモリ空間にロー・アドレスおよびコラム・アドレスを割当てておき、DSPがロー・アドレスを  
 アクセスしたことに  
 20 応答してRASをトグルし、コラム・アドレスをアクセスしたことに  
 応答してCASをイネーブルする方法である。請求項3のVRAMアクセス制御方法は、デジタル信号処理専用プロセッサによりビデオ用  
 ダイナミック・ランダム・アクセス・メモリを  
 20 アクセスするための方法であって、デジタル信号処理専用プロセッサによりビデオ用ダイナミック・ランダム・アクセス・メモリに対して供給すべきロー・アドレスおよび  
 コラム・アドレスを各アクセス・モード毎に互に異なるメモリ空間に割当てておき、デジタル信号処理専用プロセッサによるロー・アドレスのアクセスに  
 30 応答してロー・アドレス・ストローブをトグルさせ、コラム・アドレスのアクセスに  
 応答してコラム・アドレス・ストローブをイネーブルさせ、何れかのアドレスのアクセスに  
 応答してレジスタへもしくはレジスタからのデータ転送を行なうべきか否かを示す信号、シリアル・ライト・モード・イネーブルを示す信号を生成し、ロー・アドレス・  
 ストローブをビデオ用ダイナミック・ランダム・アクセス・メモリに供給している状態におけるコラム・アドレスを供給する処理に  
 40 応答して、コラム・アドレスに基づいてコラム・アドレス・ストローブを生成してビデオ用ダイナミック・ランダム・アクセス・メモリに供給することにより高速ページ・モード・アクセスを行な  
 わせる高速アクセス手段と、メモリ・リフレッシュを行なうべきことを示す  
 タイマ割込みに  
 40 応答して、ロー・アドレスの供給に  
 応答するロー・アドレス・ストローブの供給および反転されたロー・アドレス・ストローブの供給をこの順に行ない、表示のための水平同期信号割込みに  
 50 応答してリード転送を行なう方法である。

【0009】請求項4のメモリ・アクセス制御装置は、DSPによりメモリに対してロー・アドレスを供給する  
 50 処理に  
 応答して、ロー・アドレスに基づいてRASを生成してメモリに供給するRAS生成手段と、コラム・アドレスを供給する処理に  
 応答して、コラム・アドレスに基づいてCASを生成してメモリに供給するCAS生成

手段と、RASが生成されている状態においてCAS生成手段によるCASの生成を反復させる高速アクセス制御手段と、メモリ・リフレッシュを行なうべきことを指示する  
 タイマ割込み手段と、メモリ・リフレッシュを行なうべきことの指示に  
 50 応答して、ロー・アドレスの供給に  
 応答するRAS生成手段によるRASの供給およびRAS生成手段による反転されたRASの供給をこの順に行なわせるリフレッシュ制御手段とを含んでいる。

【0010】請求項5のメモリ・アクセス制御装置は、DSPのメモリ空間にロー・アドレスおよびコラム・アドレスが割当てられてあり、RAS生成手段として、DSPがロー・アドレスをアクセスしたことに  
 50 応答してRASをトグルするものを採用し、CAS生成手段として、  
 コラム・アドレスをアクセスしたことに  
 応答してCASをイネーブルするものを採用している。

【0011】請求項6のメモリ・アクセス制御装置は、デジタル信号処理専用プロセッサによりビデオ用ダイナミック・ランダム・アクセス・メモリをアクセスするための装置であって、デジタル信号処理専用プロセッサによりビデオ用ダイナミック・ランダム・アクセス・メモリに対して供給すべきロー・アドレスおよび  
 コラム・アドレスを各アクセス・モード毎に互に異なるメモリ空間に割当ててあるとともに、デジタル信号処理専用プロセッサによるロー・アドレスのアクセスに  
 50 応答してロー・アドレス・ストローブをトグルさせるロー・アドレス・ストローブ・トグル手段と、  
 コラム・アドレスのアクセスに  
 応答してコラム・アドレス・ストローブをイネーブルさせるコラム・アドレス・ストローブ・イネーブル手段と、  
 何れかのアドレスのアクセスに  
 30 応答してレジスタへもしくはレジスタからのデータ転送を行なうべきか否かを示す信号を生成する第1信号生成手段と、  
 シリアル・ライト・モード・イネーブルを示す信号を生成する第2信号生成手段と、  
 ロー・アドレス・ストローブをビデオ用ダイナミック・ランダム・アクセス・メモリに供給している状態におけるコラム・アドレスを供給する処理に  
 40 応答して、コラム・アドレスに基づいてコラム・アドレス・ストローブを生成してビデオ用ダイナミック・ランダム・アクセス・メモリに供給することにより高速ページ・モード・アクセスを行なわせる  
 高速アクセス手段と、メモリ・リフレッシュを行なうべきことを示す  
 タイマ割込みに  
 40 応答して、ロー・アドレスの供給に  
 応答するロー・アドレス・ストローブの供給および反転されたロー・アドレス・ストローブの供給をこの順に行なわせるメモリ・リフレッシュ手段と、表示のための水平同期信号割込みに  
 50 応答してリード転送を行なわせるリード転送手段とを含んでいる。

【0012】

【作用】請求項1のメモリ・アクセス制御方法であれば、DSPにより、メモリ・リフレッシュが必要なメモリをアクセスする場合に、DSPによりメモリに対して

ロー・アドレスを供給する処理にตอบสนองして、ロー・アドレスに基づいてRASを生成してメモリに供給し、RASをメモリに供給している状態におけるコラム・アドレスを供給する処理にตอบสนองして、コラム・アドレスに基づいてCASを生成してメモリに供給することにより高速ページ・モード・アクセスを行なうのであるから、DSPをメモリ・ウェイトなし(以下、ノー・ウェイトと称する)で動作させることができる。また、メモリ・リフレッシュを行なう場合には、メモリ・リフレッシュを行なうべきことを示すタイマ割込みにตอบสนองして、ロー・アドレスの供給にตอบสนองするRASの供給および反転されたRASの供給をこの順に行なうのであるから、この場合にもDSPをノー・ウェイトで動作させることができる。即ち、DRAM等を用いてDSPによるノー・ウェイトの処理を行なうことができ、SRAM等を採用する場合と比較して、システム全体として、処理速度の低下を伴うことなく実装面積の大幅な低減および大幅なコストダウンを達成できる。

【0013】請求項2のメモリ・アクセス制御方法であれば、DSPのメモリ空間にロー・アドレスおよびコラム・アドレスを割当てておき、DSPがロー・アドレスをアクセスしたことにตอบสนองしてRASをトグルし、コラム・アドレスをアクセスしたことにตอบสนองしてCASをイネーブルするようにしているので、DSPはメモリ空間に割当てられたロー・アドレスをアクセスしてから必要回数だけコラム・アドレスをアクセスすることにより高速ページ・モード・アクセスによりDRAM等に対するアクセスを行なうことができ、DSPをノー・ウェイトで動作させることができる。また、メモリ・リフレッシュを行なうべきことを示すタイマ割込みがあった場合には、ロー・アドレス・ストロープのトグル機能により同一のロー・アドレスを2回アクセスすればよく、確実にメモリ・リフレッシュを達成できるとともに、DSPをノー・ウェイトで動作させることができる。

【0014】請求項3のメモリ・アクセス方法であれば、DSPによりVRAMに対して供給すべきロー・アドレスおよびコラム・アドレスを各アクセス・モード毎に互に異なるメモリ空間に割当てておき、DSPによるロー・アドレスのアクセスにตอบสนองしてRASをトグルさせ、コラム・アドレスのアクセスにตอบสนองしてCASをイネーブルさせ、何れかのアドレスのアクセスにตอบสนองしてレジスタへもしくはレジスタからのデータ転送を行なうべきか否かを示す信号、シリアル・ライト・モード・イネーブルを示す信号を生成し、RASをVRAMに供給している状態におけるコラム・アドレスを供給する処理にตอบสนองして、コラム・アドレスに基づいてCASを生成してVRAMに供給することにより高速ページ・モード・アクセスを行なうのであるから、DSPにメモリ・ウェイトを発生させることなくVRAMに対するアクセスを達成できる。また、メモリ・リフレッシュを行なうべ

きことを示すタイマ割込みにตอบสนองして、ロー・アドレスの供給にตอบสนองするRASの供給および反転されたRASの供給をこの順に行なうのであるから、DSPにメモリ・ウェイトを発生させることなく標準モードのメモリ・リフレッシュを達成できる。さらに、表示のための水平同期信号割込みにตอบสนองしてリード転送を行なうのであるから、リード転送に起因してDSPにメモリ・ウェイトが発生されるおそれなくなる。

【0015】以上の説明から明らかなように、必要な制御信号の生成がロー・アドレスのアクセス、コラム・アドレスのアクセスにตอบสนองして行なわれるのであるから、何れのメモリ空間に割当てられたロー・アドレス、コラム・アドレスをアクセスするかを制御するだけで簡単に必要な制御信号を生成でき、DRAMと比較して著しく多機能のVRAMに対するアクセスを何ら不都合なく達成できる。

【0016】請求項4のメモリ・アクセス装置であれば、DSPにより、メモリ・リフレッシュが必要なメモリをアクセスする場合に、DSPによりメモリに対してロー・アドレスを供給する処理にตอบสนองして、RAS生成手段により、ロー・アドレスに基づいてRASを生成してメモリに供給し、コラム・アドレスを供給する処理にตอบสนองして、CAS生成手段により、コラム・アドレスに基づいてCASを生成してメモリに供給し、高速アクセス制御手段により、RASが生成されている状態においてCAS生成手段によるCASの生成を反復させることにより高速ページ・モード・アクセスを行なわせることができる。したがって、DSPをノー・ウェイトで動作させることができる。また、タイマ割込み手段によりメモリ・リフレッシュを行なうべきことを指示すれば、リフレッシュ制御手段により、ロー・アドレスの供給にตอบสนองするRAS生成手段によるRASの供給およびRAS生成手段による反転されたRASの供給をこの順に行なわせ、メモリ・リフレッシュを行なわせることができる。したがって、この場合にも、DSPをノー・ウェイトで動作させることができる。

【0017】請求項5のメモリ・アクセス制御装置であれば、DSPはメモリ空間に割当てられたロー・アドレスをアクセスしてから必要回数だけコラム・アドレスをアクセスすることにより高速ページ・モード・アクセスによりDRAM等に対するアクセスを行なうことができ、DSPをノー・ウェイトで動作させることができる。また、メモリ・リフレッシュを行なうべきことを示すタイマ割込みがあった場合には、ロー・アドレス・ストロープのトグル機能により同一のロー・アドレスを2回アクセスすればよく、確実にメモリ・リフレッシュを達成できるとともに、DSPをノー・ウェイトで動作させることができる。

【0018】請求項6のVRAMアクセス装置であれば、DSPによりVRAMに対して供給すべきロー・ア

ドレスおよびコラム・アドレスを各アクセス・モード毎に互に異なるメモリ空間に割当ててあるとともに、DSPによるロー・アドレスのアクセスにตอบสนองしてRASトグル手段によりRASをトグルさせ、コラム・アドレスのアクセスにตอบสนองしてCASイネーブル手段によりCASをイネーブルさせ、何れかのアドレスのアクセスにตอบสนองして第1信号生成手段によりレジスタへもしくはレジスタからのデータ転送を行なうべきか否かを示す信号を生成し、第2信号生成手段によりシリアル・ライト・モード・イネーブルを示す信号を生成するのであるから、何れのメモリ空間に割当てられたロー・アドレス、コラム・アドレスをアクセスするかを制御するだけで簡単に必要な制御信号を生成できる。そして、高速アクセス手段により、RASをVRAMに供給している状態におけるコラム・アドレスを供給する処理にตอบสนองして、コラム・アドレスに基づいてCASを生成してVRAMに供給することにより高速ページ・モード・アクセスを行なわせるのであるから、DSPにメモリ・ウェイトを発生させることなくVRAMに対する通常のリード/ライトアクセスを達成できる。さらに、メモリ・リフレッシュを行なうべきことを示すタイマ割込みにตอบสนองして、メモリ・リフレッシュ手段によりロー・アドレスの供給にตอบสนองするRASの供給および反転されたRASの供給をこの順に行なわせるのであるから、通常のメモリ・リフレッシュをDSPにメモリ・ウェイトを発生させることなく達成できる。さらにまた、リード転送手段により、表示のための水平同期信号割込みにตอบสนองしてリード転送を行なわせるのであるから、リード転送に起因してDSPにメモリ・ウェイトが発生されるおそれがなくなる。

【0019】以上の説明から明らかなように、必要な制御信号の生成がロー・アドレスのアクセス、コラム・アドレスのアクセスにตอบสนองして行なわれるのであるから、何れのメモリ空間に割当てられたロー・アドレス、コラム・アドレスをアクセスするかを制御するだけで簡単に必要な制御信号を生成でき、DRAMと比較して著しく多機能のVRAMに対するアクセスを何ら不都合なく達成できる。

#### 【0020】

【実施例】以下、実施例を示す添付図面によって詳細に説明する。図1はこの発明のメモリ・アクセス制御装置の一実施例を示すブロック図であり、DSP1と、DRAM2と、DRAM制御信号を生成するプログラム・ロジックが実現されているPLD3とを有している。

【0021】上記DSP1は、DRAM2に対する物理アドレス(但し、物理アドレスはビット単位の物理アドレスであってもよいが、ワード単位等の物理アドレスであってもよい)のビット数よりも多いビット数のアドレスを出力するものであり、物理アドレスのビット数AをDRAM2に供給しているとともに、物理アドレスのビット数を越えるビットA10をPLD3に供給してい

る。また、DSP1はデータ・ストローブDS、クロック信号CLKOUT、ストローブSTRB、リード・ライト制御信号R/WをPLD3に供給し、PLD3から出力されるRASを取込むようにしている。上記PLD3はRAS、CAS、書込み許可WEおよび読み出し許可OEをDRAM2に供給する。尚、上記各信号のうち、RAS、CAS、WE、OE、DS、STRBが負論理であるとともに、DSP1およびPLD3に供給されるリセットRESETが負論理である。

10 【0022】図2はRASを生成する部分の構成を示す電気回路図であり、DS、CLKOUT、STRBの反転信号およびA10を入力とするNANDゲート31の出力をD-フリップフロップ(以下、D-FFと略称する)32のタイミング入力端子に供給している。そして、D-FF32の反転Q出力信号をRASとして出力しているとともに、D入力端子にフィードバックしている。また、D-FF32のクリア端子にRESETの反転信号が供給されている。したがって、A10をハイレベルとしてアクセスを行なうことにより、RASのレベルが反転する。即ち、A10=1のアクセスによりRASをトグルさせることができる。

20 【0023】図3はCASを生成する部分の構成を示す電気回路図であり、DS、A10、STRBおよびRASの反転信号を入力とするNANDゲート33の出力信号をCASとして出力している。したがって、A10をローレベルとしてアクセスを行なうことによりCASが生成される。図4はWEを生成する部分の構成を示す電気回路図であり、DS、A10、R/WおよびRASの反転信号およびCLKOUTを入力とするNANDゲート34の出力信号をWEとして出力している。

30 【0024】図5はOEを生成する部分の構成を示す電気回路図であり、DS、A10およびRASの反転信号およびR/Wを入力とするNANDゲート35の出力信号をOEとして出力している。したがって、R/WをローレベルにすることによりWEが生成され、ハイレベルにすることによりOEが生成される。

40 【0025】上記の構成のメモリ・アクセス制御装置の作用は次のとおりである。通常のメモリ・アクセスを行なう場合には、A10=1に設定し、アドレスの他のビットAを所望のアドレスに設定してDSP1から出力すればよく、図6中領域R1に示すように、PLD3によりRASがローレベルにトグルされるとともに、Aが直接DRAM2に供給されるので、Aで指定されたロー・アドレスがDRAM2に供給される。RASがロー・レベルにトグルされた次のタイミングでA10=0に設定し、アドレスの他のビットAを所望のアドレスに設定してDSP1から出力すれば、図6中領域R2に示すように、PLD3によりローレベルのCASが生成されるので、Aで指定されたコラム・アドレスがDRAM2に供給される。その後は、A10=0に設定したままでアド

レスAをDSP1から出力すればよく、同一ロー・アドレス内における高速ページ・モード・アクセスによる高速アクセスを行なうことができる。この高速ページ・モード・アクセスは通常のアクセスと比較してアクセス所要時間が著しく短いので、DSP1をノー・ウェイトで動作させることができる。

【0026】DRAM2においては、データ保持を確実にするために所定時間毎にメモリ・リフレッシュを行なう必要がある。メモリ・リフレッシュには、CASピフォアRASリフレッシュのような特殊なリフレッシュ動作がDRAMにサポートされているが、この実施例においては、リフレッシュのためのロー・アドレスを与えてRASをトグルする標準リフレッシュを採用する。

【0027】メモリ・リフレッシュを行なうべき時間が経過したことはタイマ割込みにより検出できるので、タイマ割込み処理ルーチンにおいてアドレスAをインクリメントもしくはデクリメントするとともに、A10 = 1に設定しておけばよく、このアドレスを少なくとも2回DSP1から出力することにより、RASをハイ・レベルからロー・レベルに、さらにロー・レベルからハイレベルにトグルさせることができ、該当するアドレスAをリフレッシュ・アドレスとするメモリ・リフレッシュを行なうことができる。但し、タイマ割込み時にRASがロー・レベルである場合、即ち、高速ページ・モード・アクセスを行なっていた場合には、一旦RASをハイ・レベルにすべく、即ち、高速ページ・モード・アクセスを解除すべくRASトグルを行なってから上記のようにRASトグルを2回行ない、最後に再びRASトグルを行なって高速ページ・モード・アクセスを再開すればよい。

【0028】図7は上記メモリ・リフレッシュ動作を詳細に説明するフローチャートであり、タイマ割込みが発生した場合にステップSP1において、必要なレジスタ、フラグ、ステータス等の退避を行ない、ステップSP2において高速ページ・モード・アクセスを行なっているか否かを、RASのレベルに基づいて判別する。即ち、RASがロー・レベルであれば高速ページ・モード・アクセスを行なっていると判別し、RASがハイ・レベルであれば高速ページ・モード・アクセスを行っていないと判別する。

【0029】ステップSP2において高速ページ・モード・アクセスを行なっていると判別された場合には、ステップSP3においてA10 = 1に設定してDSP1からアドレスを出力することによりRASをハイ・レベルにトグルしてページ・アウトさせ、ステップSP4においてA10 = 1に設定するとともに、リフレッシュ・アドレスをAにセットしてRASをロー・レベルにトグルし、ステップSP5においてA10 = 1に設定するとともに、リフレッシュ・アドレスをAにセットしてRAS

リフレッシュを行なわせる。その後、ステップSP6においてA10 = 1に設定するとともに、元のロー・アドレスをAにセットしてRASをロー・レベルにトグルし、再び高速ページ・モード・アクセスを行ない得る状態に戻す。

【0030】逆に、ステップSP2において高速ページ・モード・アクセスを行なっていないと判別された場合には、ステップSP7においてA10 = 1に設定するとともに、リフレッシュ・アドレスをAにセットしてRASをロー・レベルにトグルし、ステップSP8においてA10 = 1に設定するとともに、リフレッシュ・アドレスをAにセットしてRASをハイ・レベルにトグルし、DRAM2のメモリ・リフレッシュを行なわせる。

【0031】上記ステップSP6またはステップSP8の処理が行なわれた後は、ステップSP9において次のリフレッシュ・アドレスを得て保持し、ステップSP10において退避データに基づいてレジスタ、フラグ、ステータス等の復元を行ない、そのまま一連の処理を終了する。図8はメモリ・リフレッシュ動作を説明するタイミングチャートであり、メモリ・リフレッシュを行なうべきことが指示された時点で高速ページ・モード・アクセスを行なっていないければ、同図(A)に示すように、RASをハイ・レベルからロー・レベルにトグルしてリフレッシュ・アドレスAを与え、次いでRASをロー・レベルからハイ・レベルにトグルするだけでよい。しかし、メモリ・リフレッシュを行なうべきことが指示された時点で高速ページ・モード・アクセスを行なっていれば、同図(B)に示すように、RASをハイ・レベルからロー・レベルにトグルしてリフレッシュ・アドレスAを与える前にRASをロー・レベルからハイ・レベルにトグルしてページ・アウトさせ、リフレッシュ・アドレスAを与えてからRASをロー・レベルからハイ・レベルにトグルし、再びハイ・レベルからロー・レベルにトグルすることによりページ・インさせることにより、同様にメモリ・リフレッシュを達成できる。尚、後者の場合、即ち、高速ページ・モード・アクセスからのメモリ・リフレッシュを行なう場合には、アクセス中のロー・アドレスをDSP1の特定の内部レジスタに一時保持させておけばよく、確実に元のページに復帰できる。

【0032】

【実施例2】図9はこの発明のVRAMアクセス制御装置を組込んだデータ処理システムの構成の一例を示すブロック図であり、DSP1と、VRAM2aと、VRAM制御信号を生成するプログラム・ロジックが実現されているPLD3aと、表示用タイミング発生回路4と、VRAM2aから出力されるシリアル・データをアナログ・データに変換して図示しない表示部に供給するデジタル/アナログ変換器(以下、D/Aと略称する)5とを有している。

【0033】上記DSP1は、VRAM2aに対する物理アドレス(但し、物理アドレスはビット単位の物理アドレスであってもよいが、ワード単位等の物理アドレスであってもよい)のビット数よりも多いビット数のアドレスを出力するものであり、物理アドレスのビット数分AをVRAM2aに供給しているとともに、物理アドレスのビット数を越えるビットのうち最下位のビットA10をVRAMのDSF(Data Set Flag)端子に、残余のビットをPLD3aに供給している。また、データ・ストローブDS、クロック信号CLKOUT、ストローブSTRB、リード・ライト制御信号R/WをPLD3aに供給し、PLD3aから出力されるRASを取込むようにしている。尚、リード・ライト制御信号R/Wは直接にVRAM2aにも供給されている。上記PLD3aはRAS、CAS、レジスタとの間でのデータ転送を制御する転送制御信号TRGおよびシリアル・ライト・モード・イネーブルを指示するイネーブル制御信号SEをVRAM2aに供給する。上記表示用タイミング発生回路4は、VRAM2aからのシリアルデータの出力を制御するシリアルデータ制御信号SCを出力するとともに、DSP1に対する割込み信号として水平同期信号HSYNC、垂直同期信号VSYNCおよびスプリット転送タイミング信号DSTを出力する。尚、上記各信号のうち、RAS、CAS、DS、STRB、TRG、SEが負論理であるとともに、DSP1およびPLD3aに供給されるリセットRESETが負論理であり、さらに、表示用タイミング発生回路から出力される水平同期信号HSYNCおよび垂直同期信号VSYNCも負論理である。

【0034】図10はDSPが16ビットである場合のアドレスを示す概略図であり、同図(A)が8000H~9FFFFHをアクセスする場合、同図(B)がA000H~BFFFFHをアクセスする場合をそれぞれ示している。同図(A)において最下位の0~9ビットA0~A9がロー・アドレスであり、10ビット目A10がDSF、11ビット目A11がTRG、12ビット目A12がSEであり、最上位の3ビットA13~A15が“100”である。同図(B)においては、最下位の0~9ビットA0~A9がコラム・アドレスである点および最上位の3ビットA13~A15が“101”である点が同図(A)と異なっている。尚、同図(B)においてSEは“0”に固定されており、TRGはR/Wの反転信号がセットされる。そして、同図(A)の場合には、アクセス毎にRASがトグルし、同図(B)の場合には、RASがロー・レベルであることを条件としてアクセス毎にCASがイネーブルされる。また、同図(A)(B)以外のアクセスの場合には、SEが“0”、TRGが“1”、CASがディセーブル(ハイレベル)、RASは変化しない状態である。

【0035】図11はRAS、CAS、SE、TRGを

生成する部分の構成を示す電気回路図であり、DS、CLKOUT、STRB、A13、A14の反転信号およびA15を入力とするNANDゲート31aの出力をD-フリップフロップ(以下、D-FFと略称する)32aのタイミング入力端子に供給している。そして、D-FF32aの反転Q出力信号をRASとして出力しているとともに、D入力端子にフィードバックしている。また、D-FF32aのクリア端子にRESETの反転信号が供給されている。したがって、A15をハイレベルとしてアクセスを行なうことにより、RASのレベルが反転する。即ち、A15=1のアクセスによりRASをトグルさせることができる。

【0036】また、DS、STRB、A14およびRASの反転信号を入力とし、A13およびA15を入力とするNANDゲート33aの出力信号をCASとして出力している。したがって、A15をローレベルとしてアクセスを行なうことによりCASが生成される。さらに、DS、A13、A14の反転信号を入力とし、A12およびA15を入力とするANDゲート34aの出力信号をSEとして出力している。

【0037】さらにまた、DS、A11、A13、A14の反転信号を入力とし、A15を入力とするANDゲート35aの出力信号およびDSおよびA14の反転信号を入力とし、A13、A15およびR/Wを入力とするANDゲート36aの出力信号をNORゲート37aに供給し、NORゲート37aからTRGを出力している。

【0038】上記の構成のメモリ・アクセス制御装置の作用は次のとおりである。メモリ・リフレッシュを行なう場合には、例えば、図12(A)に示すようにアドレスを8800H、8801Hに設定してREADコマンドを2回ずつ出力すればよく、各アドレスをアクセスする毎にRASがトグルするとともに(同図(C)参照)、RASがローレベルにトグルするタイミングでリフレッシュ対象となるロー・アドレス000H、001Hがアドレスバスに出力されるので(同図(B)参照)、DSP1にメモリ・ウェイトを発生させることなく該当するロー・アドレスに対するメモリ・リフレッシュを達成できる。

【0039】メモリ・ライトを行なう場合には、例えば、図13(A)に示すようにアドレスを8841Hに設定してREADコマンドを出力した後、アドレスをA052H、A053Hに設定してWRITEコマンドを出力し、さらにアドレスを8841Hに設定してREADコマンドを出力すればよく、041H、052H、053Hのアドレスがアドレスバスに出力される(同図(B)参照)とともに、アドレス041Hに応答してRASがローレベルにトグルされ(同図(C)参照)、アドレス052H、053Hに応答してCASがイネーブルされる(同図(D)参照)。また、TRGはアドレス

が確定しているタイミングにおいてハイレベルになり（同図（E）参照）、書込みを示すR/Wはアドレス052H、053Hのみに対応してローレベルになる（同図（F）参照）。したがって、ロー・アドレス041Hのコラム・アドレス052H、053Hに対して高速ページ・モードによる書込みを達成できる。尚、該当するロー・アドレスにおける書込みが終了した場合には、アドレスを8841Hに設定してREADコマンドを出力することに応答してRASがトグルされ、RASがハイレベルになるので、高速ページ・モード・アクセスから抜けることができる。

【0040】メモリ・リードを行なう場合には、例えば、図14（A）に示すようにアドレスを8927H、A07AH、A095H、8927Hに設定してREADコマンドを出力すればよく、127H、07AH、095Hのアドレスがアドレスバスに出力される（同図（B）参照）とともに、アドレス127Hに回答してRASがローレベルにトグルされ（同図（C）参照）、アドレス07AH、095Hに回答してCASがイネーブルされる（同図（D）参照）。また、TRGはアドレスが確定しているタイミングにおいてハイレベルになり（同図（E）参照）、書込みを示すR/Wはこれらアクセスの間を通じてハイレベルになる（同図（F）参照）。したがって、ロー・アドレス127Hのコラム・アドレス07AH、095Hに対して高速ページ・モードによる読み出しを達成できる。尚、該当するロー・アドレスにおける読み出しが終了した場合には、アドレスを8927Hに設定してREADコマンドを出力することに応答してRASがトグルされ、RASがハイレベルになるので、高速ページ・モード・アクセスから抜けることができる。

【0041】リード転送を行なう場合には、例えば、図15（A）に示すようにアドレスを8429H、A032H、8429Hに設定してWRITEコマンドを出力すればよく、029H、032Hのアドレスがアドレスバスに出力される（同図（B）参照）とともに、アドレス029Hに回答してRASがローレベルにトグルされ（同図（C）参照）、アドレス032Hに回答してCASがイネーブルされる（同図（D）参照）。また、TRGはアドレス032Hのみに回答してハイレベル、その後でローレベルになり（同図（E）参照）、書込みを示すR/Wはこれらアクセスの間を通じてローレベルになる（同図（F）参照）。したがって、ロー・アドレス029H、タップ・ポイント032Hでリード転送が行なわれる。尚、該当するロー・アドレスにおけるリード転送が終了した場合には、アドレスを8429Hに設定してWRITEコマンドを出力することに応答してRASがトグルされ、RASがハイレベルになるので、リード転送から抜けることができる。

【0042】尚、上記メモリ・リフレッシュ、リード転

送等を行なうタイミングは、タイム割込み、水平同期信号による外部割込み等によってDSP1が正確に認識できるので、他の処理に影響を及ぼすタイミングでこれらの処理を行なうという不都合を確実に防止できる。

【0043】

【実施例3】図16および図17は日本電気株式会社製のパーソナルコンピュータPC-9801に好適な3次元グラフィックス用アダプタの構成を概略的に示すブロック図であり、DSP1とPC-9801のデータバスとの間にデータ・バッファ81および双方向FIFOメモリを構成する1対のFIFOメモリ82とを接続しているとともに、DSP1とVRAM2aとの間にデータ・バッファ83およびアドレス・バッファ84を接続している。また、DSP1とVRAM2aとの間にPLD3aを接続している。そして、VRAM2aからの各色要素毎の読み出しデータはそれぞれビデオ・レジスタ85を介してD/A5に供給され、さらにコネクタ86を介して接続されたCRTディスプレイ装置（図示せず）に供給される。尚、87はバスアービタであり、88はディップ・スイッチ設定回路であり、89はPC-9801からのバス・アクセスをデコードしてディップ・スイッチ設定回路88を制御するデコーダであり、90はFIFOメモリ用のインターフェース回路であり、91は拡張性を持たせるためのSRAMであり、92は割込み信号を生成してDSP1に供給する割込み制御回路であり、93は、コネクタ94を介してPC-9801から取込まれた水平同期信号および垂直同期信号を表示用タイミング発生回路4に供給し、または表示用タイミング発生回路4からの水平同期信号および垂直同期信号をコネクタ86を介してCRTディスプレイ装置に供給するバッファである。

【0044】したがって、この実施例を採用すれば、VRAM2aに対するアクセスをDSP1により制御できるとともに、DSP1をノー・ウェイトで動作させることができるのであるから、PC-9801により直接VRAM2aをアクセスする場合と比較して著しくアクセス速度を向上できる。また、この実施例のアダプタは40個未満のICで実現できており、従来のVRAM制御回路と比較して部品点数の大幅な低減、実装面積の大幅な低減等を達成できる。

【0045】

【発明の効果】以上のように請求項1の発明は、メモリ・リフレッシュが必要なメモリに対してDSPによるメモリ・ウェイト・サイクルを伴わないアクセスを達成でき、DSPを用いるシステム全体として実装面積の大幅な低減による小形化およびコストダウンを達成できるという特有の効果奏する。

【0046】請求項2の発明は、ロー・アドレスとコラム・アドレスとをそれぞれメモリ空間に割当ててあるので、単に何れかのアドレスをアクセスするだけでよく、

確実にRASトグルおよびCAS生成を達成でき、制御を確実化できるとともに簡単化できるという特有の効果を奏する。請求項3の発明は、DSPにメモリ・ウェイトを発生させることなくVRAMに対するアクセスを達成できるとともに、標準モードのメモリ・リフレッシュを達成でき、さらに、リード転送をも達成できるという特有の効果を奏する。

【0047】請求項4の発明は、メモリ・リフレッシュが必要なメモリに対してDSPによるメモリ・ウェイト・サイクルを伴わないアクセスを達成でき、DSPを用いるシステム全体として実装面積の大幅な低減による小形化およびコストダウンを達成できるという特有の効果を奏する。請求項5の発明は、ロー・アドレスとコラム・アドレスとをそれぞれメモリ空間に割当ててあるので、単に何れかのアドレスをアクセスするだけでよく、確実にRASトグルおよびCAS生成を達成でき、全体として大幅な簡素化を達成できるという特有の効果を奏する。

【0048】請求項6の発明は、DSPにメモリ・ウェイトを発生させることなくVRAMに対するアクセスを達成できるとともに、標準モードのメモリ・リフレッシュを達成でき、さらに、リード転送をも達成でき、さらには、必要な部品点数の大幅な低減、実装面積の大幅な低減を達成できるという特有の効果を奏する。

【図面の簡単な説明】

【図1】この発明のメモリ・アクセス制御装置の一実施例を示すブロック図である。

【図2】RASを生成する部分の構成を示す電気回路図である。

【図3】CASを生成する部分の構成を示す電気回路図である。

【図4】WEを生成する部分の構成を示す電気回路図である。

【図5】OEを生成する部分の構成を示す電気回路図である。

【図6】通常のメモリ・アクセスを説明するタイミングチャートである。

\*【図7】メモリ・リフレッシュ動作を詳細に説明するフローチャートである。

【図8】メモリ・リフレッシュ動作を説明するタイミングチャートである。

【図9】この発明のVRAMアクセス制御装置を組み込んだデータ処理システムの構成の一例を示すブロック図である。

【図10】DSPのアドレスを示す概略図である。

【図11】RAS、CAS、SE、TRGを生成する部分の構成を示す電気回路図である。

【図12】メモリ・リフレッシュ動作の一例を説明するタイミングチャートである。

【図13】メモリ・ライト動作の一例を説明するタイミングチャートである。

【図14】メモリ・リード動作の一例を説明するタイミングチャートである。

【図15】リード転送動作の一例を説明するタイミングチャートである。

【図16】3次元グラフィックス用アダプタの構成の要部を概略的に示すブロック図である。

【図17】3次元グラフィックス用アダプタの構成の残部を概略的に示すブロック図である。

【図18】DSPを用いてVRAMをアクセスするためのシステム構成を概略的に示すブロック図である。

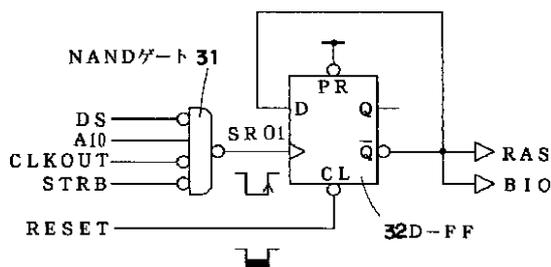
【図19】図18のアクセス制御回路のうち通常のリード/ライトおよびメモリ・リフレッシュを制御するための回路構成の一例の要部を示すブロック図である。

【図20】図18のアクセス制御回路のうち通常のリード/ライトおよびメモリ・リフレッシュを制御するための回路構成の残部の要部を示すブロック図である。

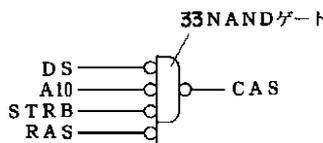
【符号の説明】

- 1 DSP    2 DRAM
- 2a VRAM    31, 31a NANDゲート
- 32, 32a D-FF    33, 33a NANDゲート
- 34a, 35a, 36a ANDゲート    37a NANDゲート

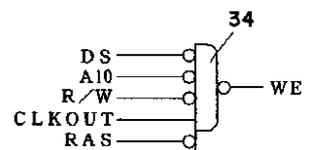
【図2】



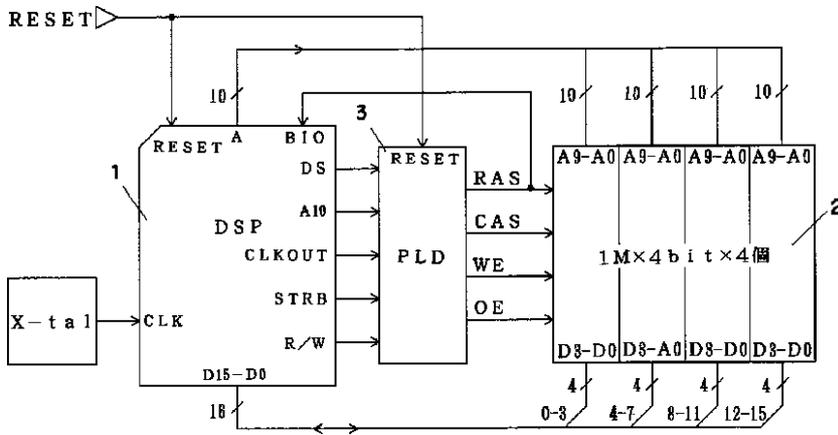
【図3】



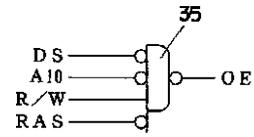
【図4】



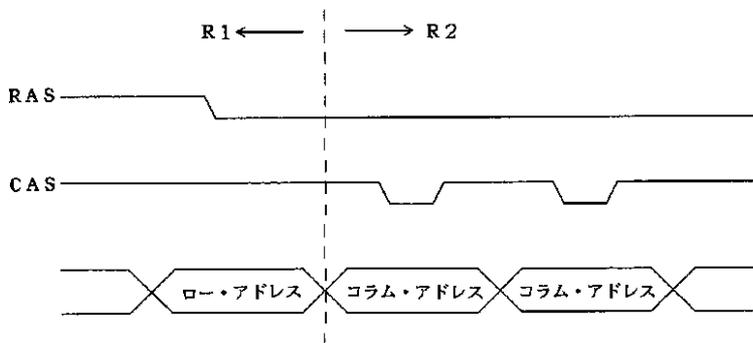
【図1】



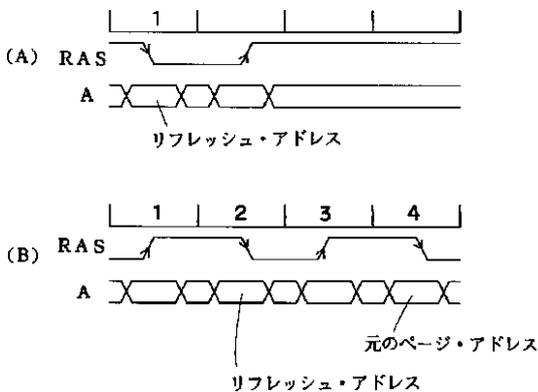
【図5】



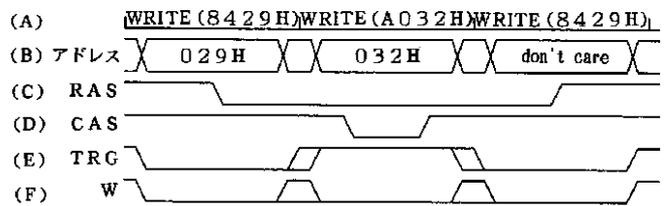
【図6】



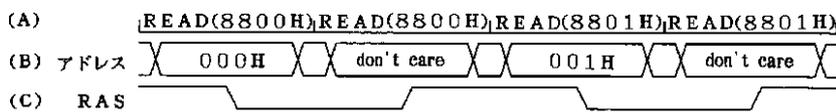
【図8】



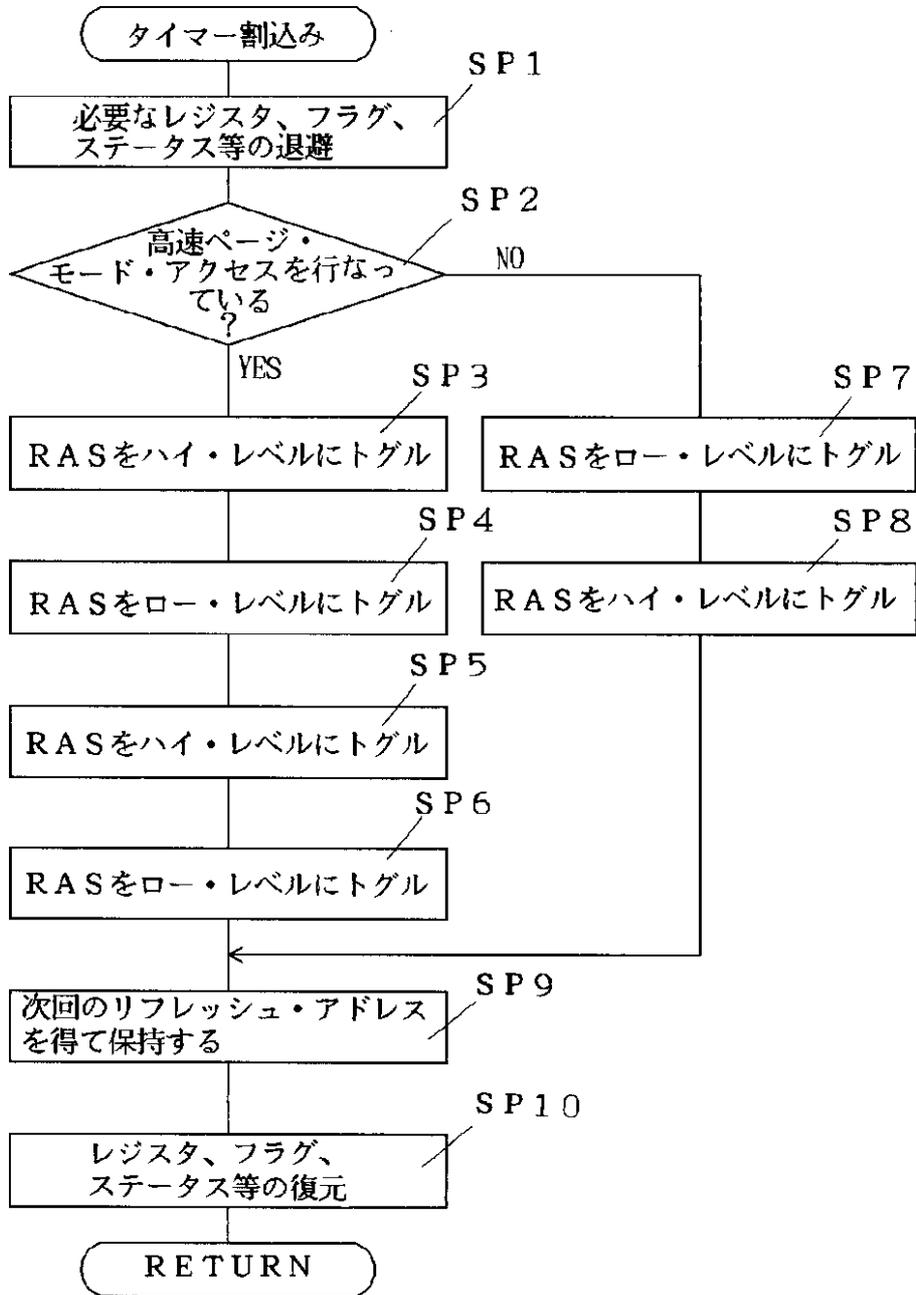
【図15】



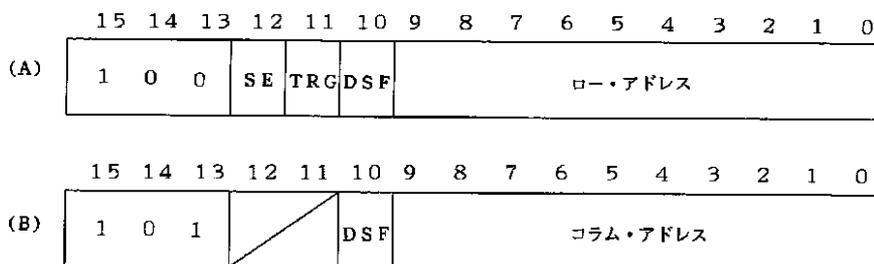
【図12】



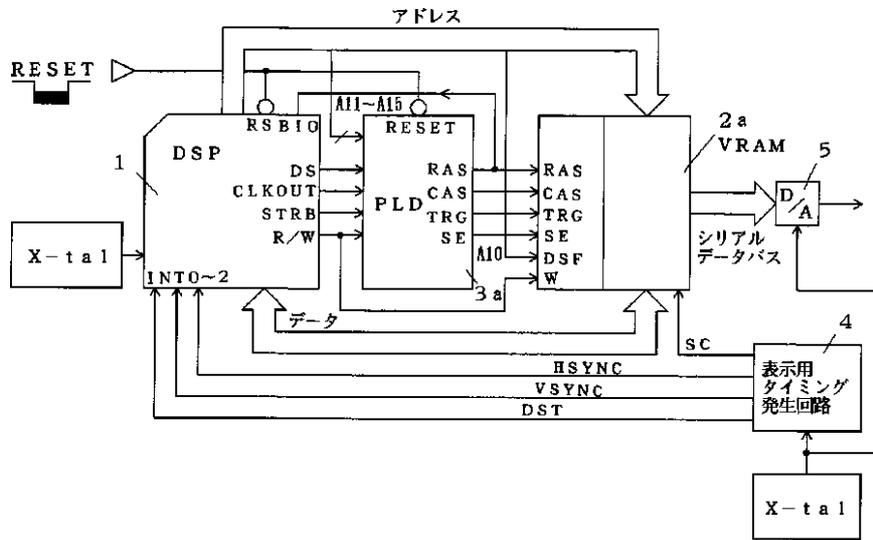
【図7】



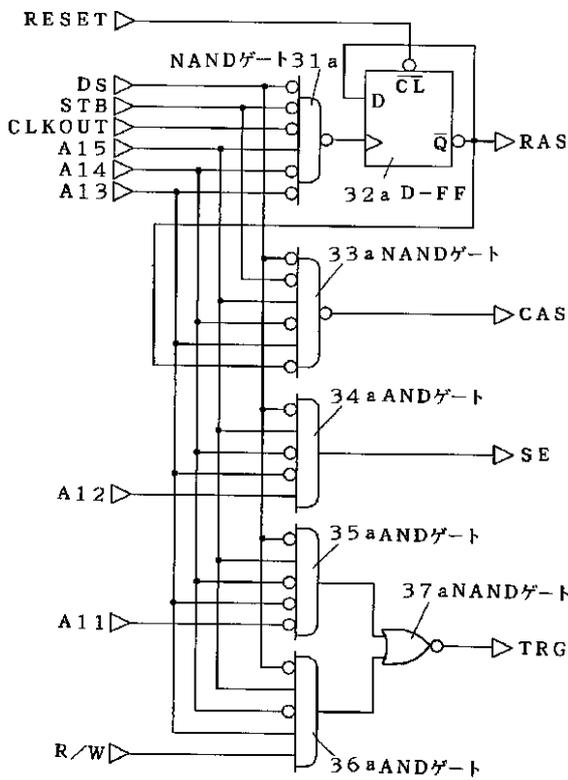
【図10】



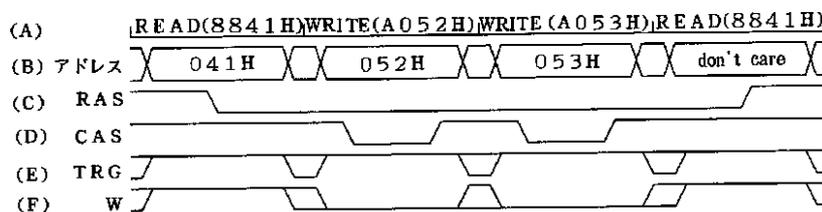
【図9】



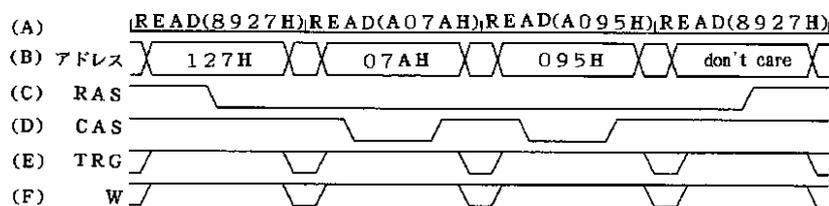
【図11】



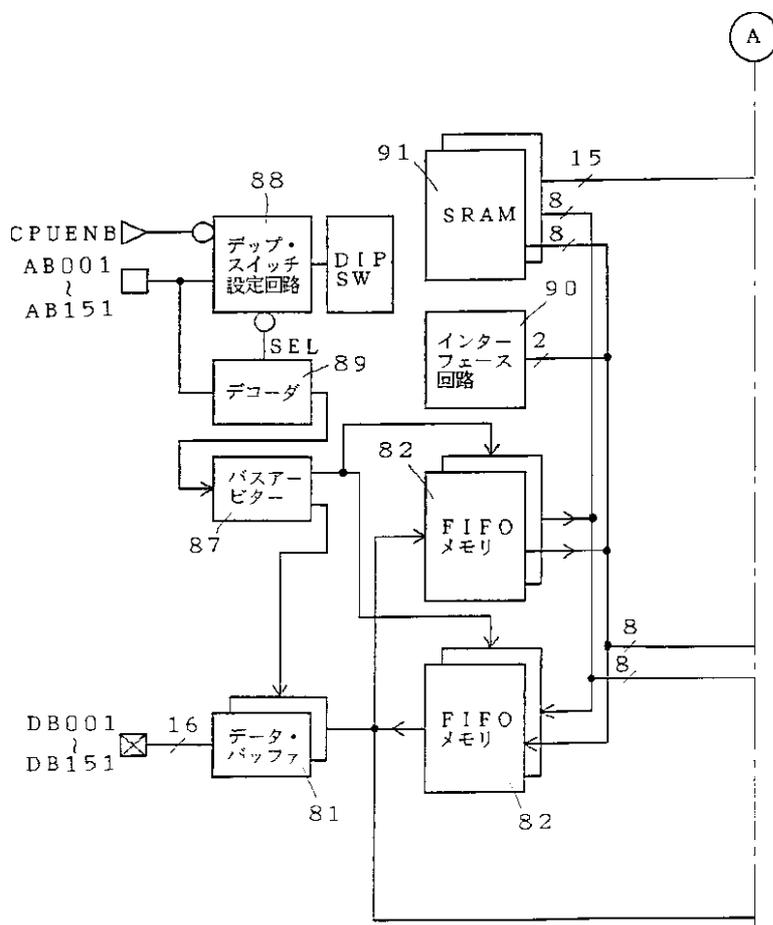
【図13】



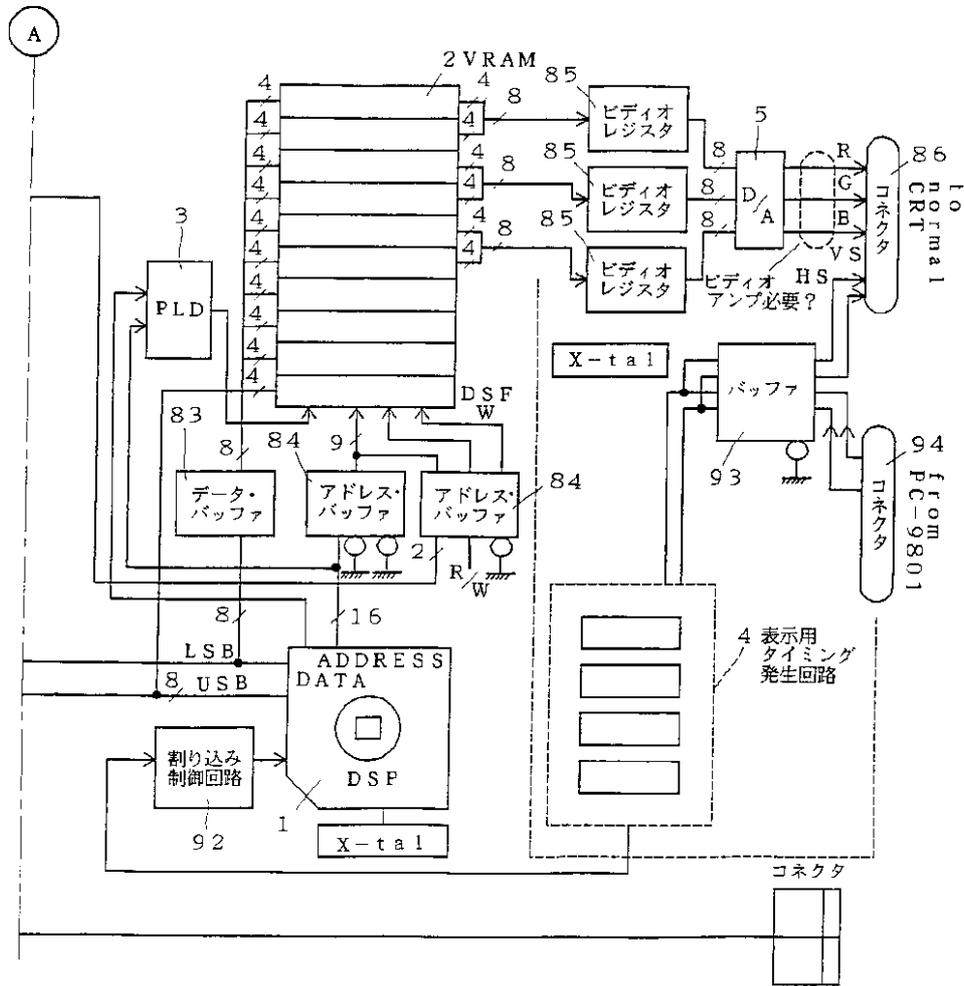
【図14】



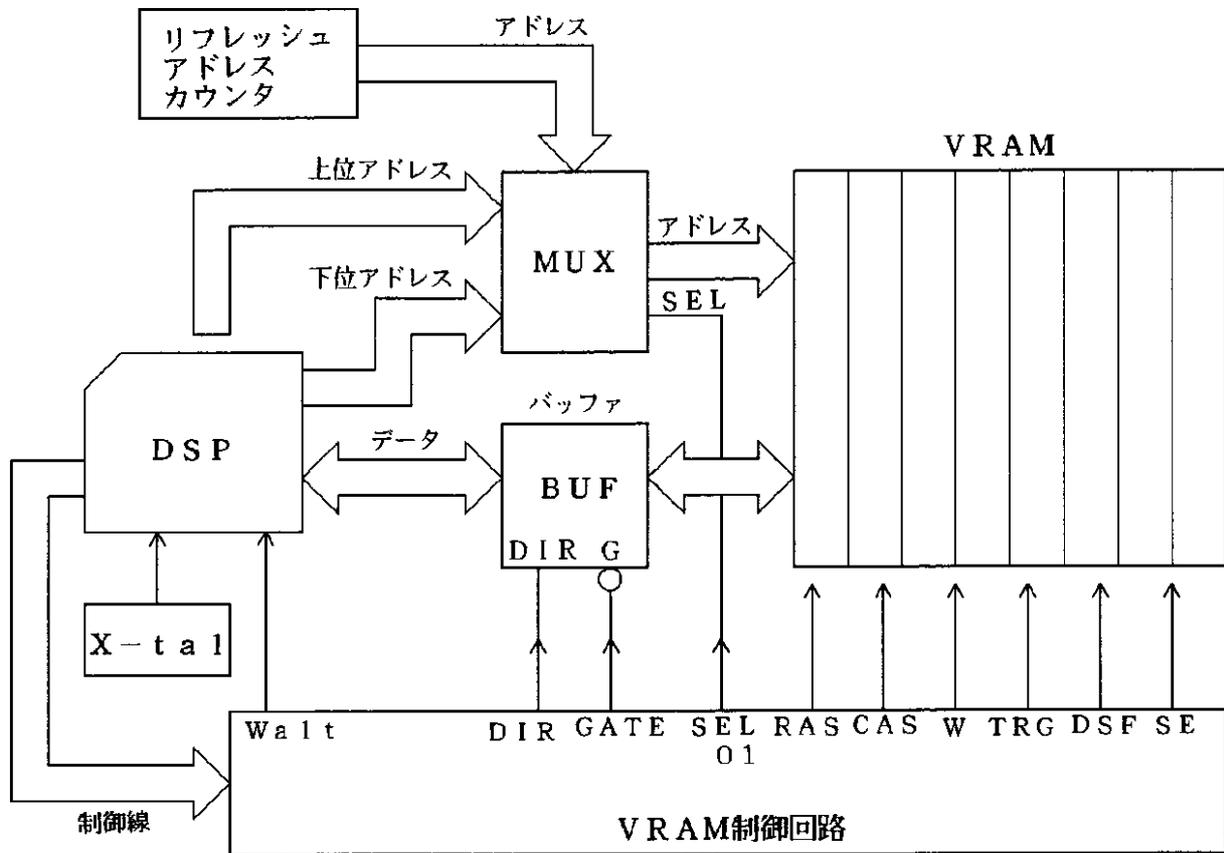
【図16】



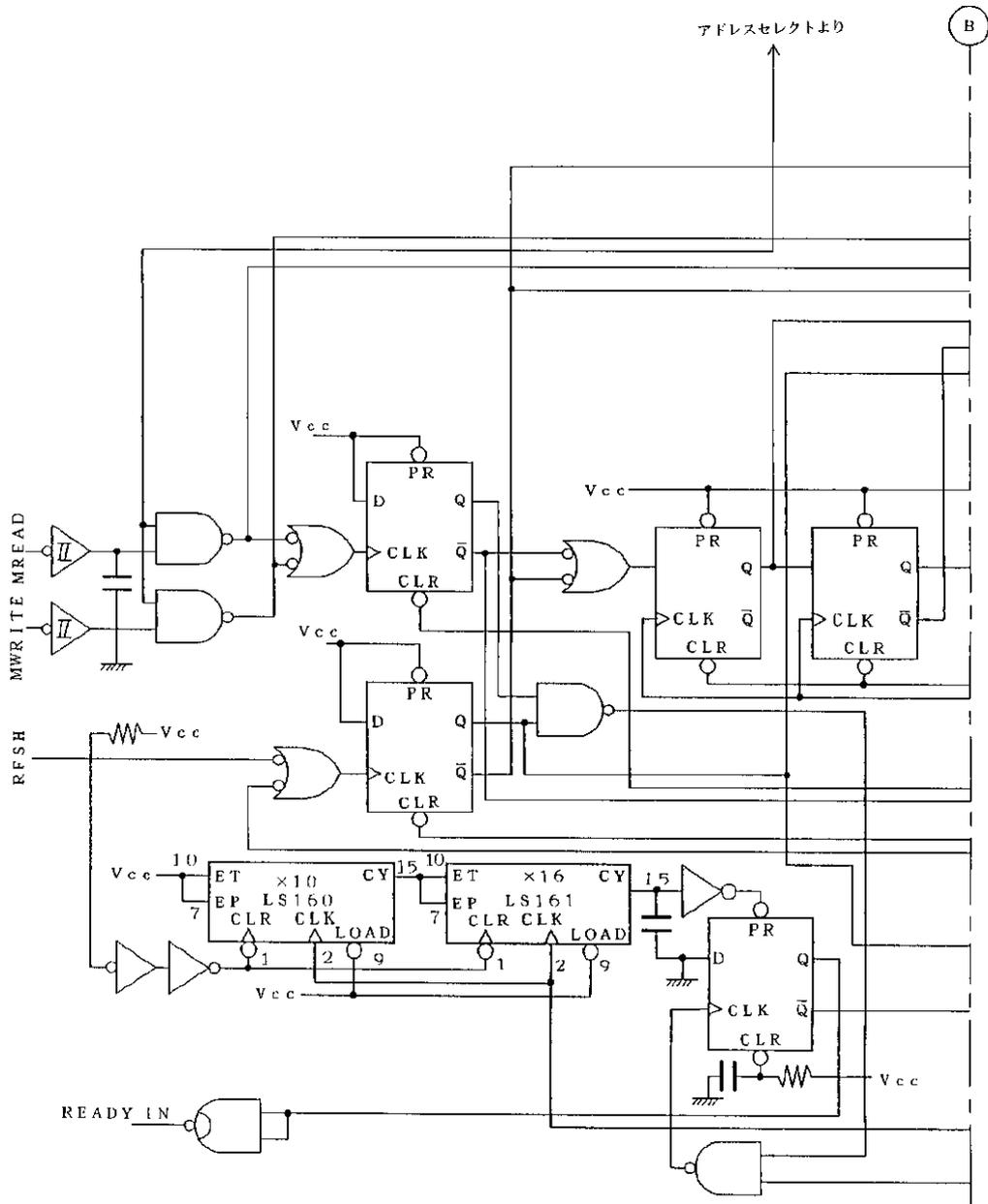
【図17】



【図18】



【図19】



【図20】

